

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133701

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H01L 21/76

H01L 27/08

H01L 29/78

(21)Application number : 10-302516

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.10.1998

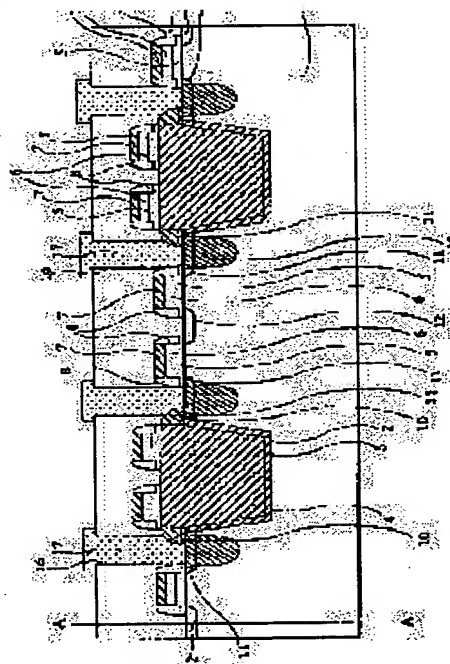
(72)Inventor : HOTTA KATSUYUKI  
MATIAS PETER  
NISHIDA MASAO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent leakage current due to drop in silicon oxide film by forming a second insulating layer on an active region between the silicon oxide film and the active region, in which the second insulating layer consisting of the same material as a first insulating layer embedded in the recess of the silicon oxide film.

**SOLUTION:** A silicon nitride oxide film 10 is formed throughout along the edge of a trench 2, in the shape of a sidewall to a silicon oxide film 4 formed above the surface of a semiconductor substrate 1, and the width in the planar direction being about 30 nm. Since this silicon nitride oxide film 10 has a high selection ratio to a silicon oxide film etchant, it is hard to etch even when a mask is shifted for forming a contact hole on an inter-layer insulating film 14. Accordingly, this can prevent the silicon oxide film 4 from sinking down at a part along the edge of the trench 2. As a result, malfunctions can be prevented by reducing the leakage current between the semiconductor substrate and components, and a more reliable semiconductor device can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C): 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semi-conductor substrate which has the slot which enclosed the active region arranged in the main front face, and this active region, and was formed in said main front face, The silicon oxide which is embedded at said Mizouchi and has a crevice on said Mizogami front face, The 1st insulating layer embedded and formed in said crevice, and said silicon oxide, The 2nd insulating layer which is formed on said active region of the boundary part of said active region, and consists of the same ingredient as said 1st insulating layer, The semiconductor device equipped with the component formed in the main front face of said active region, the interlayer insulation film which has opening which reaches said component, and the electrode connected to said component through opening of said interlayer

insulation film.

[Claim 2] The semiconductor device according to claim 1 characterized by the ingredient of the 1st and 2nd insulating layers being a silicon nitride or a silicon nitriding oxide film.

[Claim 3] A component is a semiconductor device according to claim 2 which is formed in the main front face of the metal silicide layer which is a field-effect transistor and was formed in the source drain field front face of said field-effect transistor, and said semi-conductor substrate which counters opening, and is characterized by having said source drain field and an impurity range containing the impurity of the same conductivity type.

[Claim 4] It is the semiconductor device according to claim 2 which is formed in the main front face of said semi-conductor substrate which a component is a field-effect transistor and counters opening, is equipped with the impurity range containing the impurity of the same conductivity type as said source drain field, and is characterized by an electrode being a lower electrode of the capacitor linked to either of said source drain fields.

[Claim 5] With the process which forms the slot which a wrap mask is covered for the main front-face top of the active region of a semi-conductor substrate, etches said semi-conductor substrate main front face, and encloses an active

region, and a CVD method The process which forms the 1st silicon oxide in the whole surface, and the process which removes said 1st silicon oxide on said mask front face, After removing said mask, the process which forms an insulator layer, and said insulator layer are etched. The process which forms an insulating layer on the front face of said active-region edge, and the process which forms a component in the main front face of the active region of said semi-conductor substrate, The manufacture approach of the semiconductor device which performed high etching of a selection ratio to the process which forms a wrap interlayer insulation film for said component, and said insulator layer, and was equipped with the process which forms opening which reaches said interlayer insulation film at said component, and the process which forms the electrode connected to said component through said opening.

[Claim 6] The manufacture approach of the semiconductor device according to claim 5 characterized by having the process which forms the 2nd silicon oxide on the whole surface by thermal oxidation before the process which forms the 1st silicon oxide after the process which forms a slot.

[Claim 7] The manufacture approach of a semiconductor device given in any 1 term of claim 5 characterized by an insulator layer being a silicon nitride or a silicon

nitriding oxide film, or claim 6.

[Claim 8] The process at which the process which forms a component forms gate dielectric film in the main front face of the active region of said semi-conductor substrate, The process which forms a gate electrode on said gate-dielectric-film front face, and the process which forms a source drain field in the main front face of said semi-conductor substrate, It has the process which forms a metal silicide layer on the front face of said source drain field. Before the process which forms the electrode connected to either of said source drain fields through said opening after the process which forms opening The manufacture approach of the semiconductor device according to claim 7 characterized by having the process which forms an impurity range all over the main front face of the active region of said semi-conductor substrate which counters said opening by the ion implantation.

[Claim 9] The process at which the process which forms a component forms gate dielectric film in the main front face of the active region of said semi-conductor substrate, It has the process which forms a gate electrode on said gate-dielectric-film front face, and the process which forms a source drain field in the main front face of said semi-conductor substrate. Before the process which forms the electrode

connected to either of said source drain fields through said opening after the process which forms opening. The process which forms an impurity range all over the main front face of the active region of said semi-conductor substrate which counters said opening by the ion implantation. The manufacture approach of the semiconductor device according to claim 7 characterized by having the process which forms a wrap capacitor insulator layer for said electrode surface top, and the process which forms an up electrode on said capacitor insulator layer front face.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates especially to the isolation construction of a semiconductor device about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] One of the approaches which performs insulating separation between semiconductor devices has trench separation. This forms a slot in the isolation region of the front face of a semi-conductor substrate, embeds insulator layers, such as silicon

oxide, to the interior, and is formed in it, and necessary area and parasitic capacitance are very small compared with other insulating separation, and it is the structure suitable for high integration and improvement in the speed of a semiconductor device. CVD (Chemical Vapor Deposition) after this trench separation forms a slot in the front face of the semi-conductor substrate used as an isolation region -- since reduction of the active region by the BAZU beak can be controlled compared with the case where it is formed by embedding silicon oxide at Mizouchi, etching a front face, and leaving only Mizouchi an oxide film by law, and a demarcation membrane is formed by thermal oxidation, it is the approach which it was easy to control the configuration of trench separation, and was suitable for detailed-ization.

[0003] However, since separation width of face also becomes very small and an aspect ratio becomes high in a part especially with small separation width of face with detailed-izing of a semiconductor device, when a slot is embedded with a CVD method, the problem of producing the small clearance called a seam (seam) to the center section of the silicon oxide embedded in the slot occurs. Since the width of face of the space inside a slot becomes narrow and reactant gas is no longer supplied fully to the pars basilaris ossis occipitalis of a slot as the embedding of silicon oxide

progresses toward a center section from the side attachment wall of a slot, this is a phenomenon which happens by being closed with slot up silicon oxide, before silicon oxide is completely embedded in the groove bottom section. In order to expose a seam as a thin slot on the surface of silicon oxide at a next process, to be the course which forms wiring of a gate electrode etc. on it, and for a wiring material to go into this seam, and not to be removed in the case of patterning by etching, either but to remain, through this part, it is between wiring and short-circuit will take place.

[0004] Then, by embedding silicon oxide at this seam, it prevented that a wiring material entered in a seam, and the short-circuit during wiring is prevented. After forming a silicon nitride and embedding a seam on the front face of the silicon oxide embedded at Mizouchi, the semiconductor device which etched the front face, and its manufacture approach are indicated by JP,59-182538,A. Moreover, after embedding the polish recon film at Mizouchi, a seam is extended by wet etching and the semiconductor device which formed the polish recon film again on the front face, and its formation approach are indicated by JP,62-132341,A. Moreover, once it etches the front face of the silicon oxide embedded at Mizouchi, the semiconductor device which forms the polish recon film on a front face, and has

the trench separation oxidized thermally, and its manufacture approach are indicated by JP,63-197355,A etc.

[0005] Drawing 12 is the plan showing the conventional semiconductor device, and, for 109, as for a gate electrode and 201, a seam and 1013 are [ an active region and 202 ] isolation regions in drawing. As shown in drawing 12  $R > 2$ , the seam 109 has become is easy to be formed in the part to which the width of face of an isolation region 202 is narrow between two active regions 201. This is not what was restricted to the arrangement shown in drawing 12. Drawing 13 - drawing 16 are the sectional views of trench separation showing one process of the manufacture approach of the conventional semiconductor device, and are a sectional view in the W-W cross section shown in drawing 12. For 101, as for a slot and 1031, in drawing 13, a semi-conductor substrate and 102 are [ silicon oxide and 1021 ] silicon nitrides. First, silicon oxide 1031 and the silicon nitride 1021 are formed on the front face of the semi-conductor substrate 101, and after carrying out patterning so that opening of the slot 102 formation field may be carried out using a photoresist mask (not shown), a slot 102 is formed by using as a mask this silicon nitride 1021 by which patterning was carried out. Drawing 13 is the sectional view of the component of the semiconductor device in the phase which

this process finished.

[0006] In drawing 14 , 103 and 104 are silicon oxide. After forming silicon oxide 103 in a slot 102 by thermal oxidation with reference to drawing 14 , silicon oxide 104 is embedded in a slot 102 with a CVD method. Drawing 14 is the sectional view of the component of the semiconductor device in the phase which this process finished. As shown in this drawing, in a detailed isolation region, a seam 109 is formed in this phase. In drawing 15 , 1030 is silicon oxide. With reference to drawing, after etching the front face of silicon oxide 104, a seam 109 is embedded by silicon oxide 1030 by forming silicon oxide 1030. Drawing 15 is the sectional view of the component of the semiconductor device in the phase which this process finished.

[0007] In drawing 16 , for 105, as for a polish recon layer and 107, gate dielectric film and 106 are [ a metal silicide layer and 1013 ] gate electrodes, and the gate electrode 1013 is formed of the polish recon layer 106 and the metal silicide layer 107. After etching the front face of silicon oxide 1030 next with reference to drawing, the silicon nitride 1021 is removed. Then, silicon oxide 1031 is removed by etching and trench separation is completed. And sequential formation of gate dielectric film 105, the polish recon layer 106, and the metal silicide layer 107 is carried out. Drawing 16 is the sectional view of the component

of the semiconductor device in the phase which this process finished. Since the seam 109 is embedded by silicon oxide 1030, even if it forms the gate electrode 1013 on it, it is prevented that a wiring material etc. goes into inside. moreover, the silicon nitride 1021 -- the front face of silicon oxide 1030 -- CMP (Chemical Mechanical Polishing) -- in etching the front face of silicon oxide 1030 by dry etching, in order to play a stopper's role in carrying out flattening by law, and to play the role from which the semi-conductor substrate front face used as an active region is protected, after embedding silicon oxide 104 and 1030 in a slot 102, it is necessary to remove

[0008] Drawing 17 is the sectional view of a component showing the conventional semiconductor device, and is a sectional view in the X-X cross section at the time of forming an interlayer insulation film and a wiring layer in the semiconductor device shown in drawing 12 further. For a sidewall, and 1011 and 1012, as for an interlayer insulation film and 1016, in drawing, a source drain field and 1014 are [ 108 / a contact hole and 1017 ] wiring layers. With reference to drawing, sequential formation of a sidewall 108, the source drain fields 1011 and 1012, an interlayer insulation film 1014, a contact hole 1016, and the wiring layer 1017 is carried out. Thus, the semiconductor device shown in drawing 17 is formed.

[0009]

[Problem(s) to be Solved by the Invention] However, if a mask shifts in case the contact hole which etches an interlayer insulation film and arrives at a source drain field is formed since the silicon oxide and the interlayer insulation film which embedded Mizouchi are homogeneous film in the conventional semiconductor device, not only an interlayer insulation film but the silicon oxide which embedded Mizouchi will be etched along the edge of a slot, and depression will be produced.

[0010] Drawing 18 is the sectional view of the conventional semiconductor device \*\*\*\* component, and drawing 19 is a graph which shows the impurity atom concentration profile in the Y-Y cross section shown in drawing 18. In drawing 18, 1015 is an impurity range which consists of an impurity of the same conductivity type as the source drain fields 1011 and 1012. The well which consists of a channel impregnation layer etc. is formed in semi-conductor substrate 101 front face of an active region, and the impurity atom concentration profile was shown in drawing 19. For this reason, since the high-impurity-concentration peak of the source drain field 1011 and the high-impurity-concentration peak of the channel impregnation layer currently formed in the comparable depth lap (inside P of drawing) and the pn junction of high electric field is formed in the source drain field 1011, leakage current

flows between a source drain field and a semi-conductor substrate by electric-field concentration. Then, by forming the impurity range of the same conductivity type as a source drain field, low-concentration pn junction was formed (inside Q of drawing), and electric-field concentration is prevented. After an impurity range 1015 forms a contact hole 1016 with reference to drawing 18, SAC (Self Aligned Contact) impregnation of the impurity of the same conductivity type as a source drain field is carried out, and it is formed in the whole surface.

[0011] However, as shown in drawing 18, when it fell along the edge of the silicon oxide 104 fang furrow 102 which embedded the inside of a slot 102, according to the shape of surface type of silicon oxide 104, a part of impurity range 1015 was formed deeply, and there was a trouble that leakage current might flow between the adjoining transistors. On the contrary, when an impurity range 1015 was not formed, the wiring layer 1017 connected with the both sides of the semi-conductor substrate 101 and the source drain field 1011, and there was a trouble of stopping achieving the function as a transistor. Moreover, the silicon oxide which had to remove since this silicon oxide had bad membraneous quality although silicon oxide is formed in the outcrop (active region) of a semi-conductor substrate in the phase

before forming gate dielectric film after trench separation is completed, and it was not able to use as gate dielectric film, and was embedded by Mizouchi at coincidence at this time will also be removed, and depression will be produced. [0012] Drawing 20 and drawing 21 are the sectional views of a component showing one process of the manufacture approach of the conventional semiconductor device, and drawing 21 is a sectional view in the Z-Z cross section of the semiconductor device shown in drawing 12. As shown in drawing 15, after forming silicon oxide 1030, sequential removal of the front face of silicon oxide 1030, the silicon nitride 1021, and the silicon oxide 1031 is carried out. Drawing 20 is the sectional view of the component of the semiconductor device in the phase which this process finished, and the configuration of silicon oxide 104 has fallen along the edge of the slot 102 in drawing. In order to raise the dependability of gate dielectric film, after forming silicon oxide again like silicon oxide 1031 on a substrate front face (not shown) and removing this further in this phase, gate dielectric film 105 and the gate electrode 1013 are formed anew. Drawing 21 is the sectional view of the component of the semiconductor device in the phase which this process finished, and the configuration of the silicon oxide 104 embedded in the slot 102 has fallen further. Although it generated in the

whole along the edge of a slot 102, if silicon oxide 104 fell in this way, since electric-field concentration would break out at the active-region edge under a gate electrode and the reverse narrow channel effect would happen, such depression had the trouble that a threshold electrical potential difference will fall.

[0013] This invention is preventing the silicon oxide which was invented in view of the above-mentioned point, and was embedded along the edge of a slot at Mizouchi falling. While suppressing the reverse narrow channel effect generated in the active region under a gate electrode and stabilizing a threshold It stops that Mizouchi's silicon oxide falls at the time of contact hole formation, and aims at acquiring the semiconductor device equipped with the trench separation which can control leakage current, and its manufacture approach.

[0014]

[Means for Solving the Problem] The semi-conductor substrate which has the slot which the semiconductor device concerning this invention enclosed the active region arranged in the main front face, and this active region, and was formed in the main front face, The silicon oxide which is embedded at Mizouchi and has a crevice on the Mizogami front face, and the 1st insulating layer which embedded in the crevice and was formed, Silicon oxide and the 2nd insulating layer which is formed on the active region of



the boundary part of an active region, and consists of the same ingredient as the 1st insulating layer. It has the component formed in the main front face of an active region, the interlayer insulation film which has opening which reaches a component, and the electrode connected to a component through opening of an interlayer insulation film. By the 2nd insulating layer Since depression of the silicon oxide which happens along the edge of a slot can be controlled, while being able to suppress the leakage current between a semi-conductor substrate and a component, electric-field concentration in an active-region edge can be suppressed.

[0015] Furthermore, it is characterized by the ingredient of the 1st and 2nd insulating layers being a silicon nitride or a silicon nitriding oxide film, the 1st insulating layer is formed in the crevice of a silicon oxide center section, and insulation becomes high, and to the etchant of silicon oxide, since a selection ratio is 5 to 1 or more, it can control further that the silicon oxide embedded along the edge of a slot at Mizouchi falls.

[0016] Furthermore, the metal silicide layer which a component is a field-effect transistor and was formed in the source drain field front face of a field-effect transistor, It is what is characterized by having been formed in the main front face of the semi-conductor substrate which counters opening, and having a source

drain field and an impurity range containing the impurity of the same conductivity type. While easing the electric field of a semi-conductor substrate and a source drain field by this impurity layer Since depression does not arise in the silicon oxide embedded at Mizouchi by the insulator layer formed on the semi-conductor substrate front face of the boundary parts of a slot and an active region in case opening is formed in an interlayer insulation film, the configuration of the impurity layer influenced in the shape of [ which is exposed to opening ] surface type also falls, and there is no possibility that leakage current may flow between the transistors which a semi-conductor substrate is deeper than a desired configuration, and until formation is not carried out, and adjoin through trench separation.

[0017] It is formed in the main front face of the semi-conductor substrate which a component is a field-effect transistor and counters opening, and has an impurity range containing the impurity of the same conductivity type as a source drain field. Moreover, an electrode By the impurity layer formed in the semi-conductor substrate front face which is characterized by being the lower electrode of the capacitor linked to either of the source drain fields, and counters opening While easing the electric field of a semi-conductor substrate and a source

drain field, the insulator layer is formed on the semi-conductor substrate front face of the boundary parts of a slot and an active region. Since there is no possibility that the configuration of the impurity layer influenced in the shape of [ which is exposed to opening ] surface type may not fall, either, and leakage current may flow since depression does not arise in the silicon oxide embedded at Mizouchi in case opening is formed in an interlayer insulation film, volatilization of the data from a capacitor is suppressed.

[0018] With moreover, the process which forms the slot which a wrap mask is covered for the main front-face top of the active region of a semi-conductor substrate, etches a semi-conductor substrate main front face, and encloses an active region and a CVD method The process which forms the 1st silicon oxide in the whole surface, and the process which removes the 1st silicon oxide on a mask front face, After removing a mask, the process which forms an insulator layer, and an insulator layer are etched. The process which forms an insulating layer on the front face of an active-region edge, and the process which forms a component in the main front face of the active region of a semi-conductor substrate, The process which forms a wrap interlayer insulation film for a component, and the process which forms opening which performs high etching of a selection ratio to an insulator layer, and

reaches an interlayer insulation film at a component, It has the process which forms the electrode connected to a component through opening, and since the silicon oxidization membrane end section is hard to be etched even when the mask at the time of forming opening shifts to an interlayer insulation film to a lower layer, depression of silicon oxide can be prevented in the part along the edge of a slot.

[0019] Before the process which forms the 1st silicon oxide after the process which forms a slot, moreover, by thermal oxidation It is what is characterized by having the process which forms the 2nd silicon oxide in the whole surface. Since the depression which takes place in the silicon oxidation membrane end section embedded to the interior of a slot on the occasion of the removal of silicon oxide performed for the defective recovery on an active-region front face before component formation can also be controlled, Leakage current is not only controlled by it, but electric-field concentration in the active-region edge of a semi-conductor substrate is controlled.

[0020] Furthermore, it is characterized by an insulator layer being a silicon nitride or a silicon nitriding oxide film, and to the etchant of silicon oxide, since a selection ratio is 5 to 1 or more, these film can prevent further depression by the silicon oxidation membrane end section inside a slot.

[0021] Furthermore, the process at which the process which forms a component forms gate dielectric film in the main front face of the active region of a semi-conductor substrate, The process which forms a gate electrode on a gate-dielectric-film front face, and the process which forms a source drain field in the main front face of a semi-conductor substrate, It has the process which forms a metal silicide layer on the front face of a source drain field. Before the process which forms the electrode connected to either of the source drain fields through opening after the process which forms opening It is what is characterized by having the process which forms an impurity range all over the main front face of the active region of the semi-conductor substrate which counters opening by the ion implantation. While being able to form an impurity layer in self align and easing the electric field of a semi-conductor substrate and a source drain field The semiconductor device with which leakage current was controlled can be obtained without the impurity layer influenced by the configuration exposed in this contact hole falling, since depression does not arise in Mizouchi's silicon oxidation membrane end section in case a contact hole is formed in an interlayer insulation film.

[0022] Moreover, the process at which the process which forms a component forms gate dielectric film in the main front face

of the active region of a semi-conductor substrate, It has the process which forms a gate electrode on a gate-dielectric-film front face, and the process which forms a source drain field in the main front face of a semi-conductor substrate. The process which forms an impurity range all over the main front face of the active region of the semi-conductor substrate which counters opening by the ion implantation in front of the process which forms the electrode connected to either of the source drain fields through opening after the process which forms opening, Since it is characterized by having the process which forms a wrap capacitor insulator layer for an electrode surface top, and the process which forms an up electrode on a capacitor insulator layer front face and the impurity layer is formed in self align through a contact hole, While being able to form an impurity layer in an opening subordinate's semi-conductor substrate front face at a simple process and easing the electric field of a semi-conductor substrate and a source drain field Since depression does not arise in Mizouchi's silicon oxidation membrane end section in case a contact hole is formed in an interlayer insulation film, The memory cell structure of DRAM where volatilization of the data from the capacitor by leakage current was suppressed can be acquired without the impurity layer influenced by the

configuration exposed in this contact hole falling.

[0023]

[Embodiment of the Invention] Gestalt 1. drawing 1 and drawing 2 of operation are the sectional view of the semiconductor device in which the gestalt 1 of implementation of this invention is shown. drawing 1 -- setting -- 1 -- a semi-conductor substrate and 2 -- a slot, and 3 and 4 -- silicon oxide and 5 -- gate dielectric film and 6 -- a polish recon layer and 7 -- a metal silicide layer and 8 -- a sidewall and 10 -- for a gate electrode and 14, as for a contact hole and 15, an interlayer insulation film and 16 are [ a silicon nitriding oxide film, and 11 and 12 / a source drain field and 13 / an impurity range and 17 ] wiring. The gate electrode 13 consists of a polish recon layer 6 and metal silicide layers 7, such as tungsten silicide, and trench separation is formed from a slot 2, silicon oxide 3, silicon oxide 4, and the silicon nitriding oxide film 6. Moreover, the impurity range 15 is formed with the impurity of the same conductivity type as the source drain fields 11 and 12. The contact hole 16 is formed in the interlayer insulation film 14, and wiring 17 is connected to the source drain field 11 through this contact hole 16. Moreover, the wiring 17 connected to the source drain field 12 and the gate electrode 13, respectively is formed through the contact hole 16 besides this (not shown).

[0024] With reference to drawing 1, the width of face of a slot 2 is 200nm - about 500nm at the time of about  $L = 400\text{nm}$  of gate length, and the depth of a slot 2 is about 150-500nm. However, although the width of face of a slot 2 may change with locations and it may be set to about 5000nm, it is leaving the semi-conductor substrate 1 (dummy pattern) etc., and the part which does not form a component in that case also adjusts the width of face of a slot 2, and it is made for its irregularity of the front face of silicon oxide 4 \*\* after embedding to decrease. And the semi-conductor substrate front face of the silicon oxide 3 fang-furrow 2 about 5-30nm interior is covered, it is formed, and the interior of a slot 2 is embedded by silicon oxide 4. Silicon oxide 4 is formed in the upper part of a slot 2 to height higher about 30nm than semi-conductor substrate 1 front face. The silicon nitriding oxide film 10 is formed in the whole along the edge of a slot 2 in the shape of a sidewall to the silicon oxide 4 formed above semi-conductor substrate 1 front face, and the width of face of the direction of a flat surface is about 30nm. In drawing 2, 9 is a seam, 30 is a silicon nitriding oxide film, and drawing 2 is a sectional view in the A-A cross section shown in drawing 1. As shown in drawing 2, the width of face of a slot 2 is narrow, and when the seam 9 is formed in the center section, the interior is embedded with the silicon nitriding oxide

film 30. Although the film which consists of high matter of a selection ratio to oxide film etchant like a silicon nitride although the silicon nitriding oxide film 10 is used with the gestalt 1 of this operation can be substituted and that selection ratio should just be 3 to 1 or more, it is desirable that it is 5 to 1 or more.

[0025] With reference to drawing 1, the gate dielectric film 5 of about 3-15nm thickness is formed in semi-conductor substrate 1 front face of an active region, and the gate electrode 13 which consists of an about 50-150nm polish recon layer 6 and a metal silicide layer 7 of about 50-150nm thickness is formed on it. When the effect the defect formed in the semi-conductor substrate 1 affects a component property according to the process which forms a slot 2 in the semi-conductor substrate 1 is small enough, there may not be silicon oxide 3.

[0026] The polish recon layer 6 contains impurities, such as about three  $1 \times 10^{21}$ /cm<sup>3</sup> Lynn, arsenic (nMOS) or boron, boron, etc. fluoride (pMOS). Moreover, the source drain field has LDD (Lightly Doped Drain) structure equipped with the field which contains an arsenic about three  $1 \times 10^{20}$ /cm<sup>3</sup> if needed further, including impurities, such as Lynn, arsenic or boron, boron, etc. fluoride, about three  $1 \times 10^{18}$ /cm<sup>3</sup> (not shown). By applying an electrical potential difference to the gate electrode 13, the source drain

fields 11 and 12, and the semi-conductor substrate 1 (well), a channel is formed in semi-conductor substrate 1 front face under the gate electrode 13, one side of the source drain fields 11 and 12 serves as the source, another side serves as a drain, and a current flows. In the case of for example, a nMOS transistor, the electrical potential differences to impress are  $V_G=2.5V$ ,  $V_D=2.5V$ ,  $V_S=0V$ , and about  $V_B=-1V$ . Moreover, in the gestalt of this operation, although explained using the semiconductor device with which two transistors were formed in one active region, it is not restricted to especially this.

[0027] Since the interior of the seam 9 formed in the center section of the silicon oxide 4 in a slot 2 is embedded by the silicon oxidation nitride or the silicon nitride according to this semiconductor device, while being able to obtain high insulating isolation The sidewall which consists of a silicon oxidation nitride or silicon oxide is formed also in the edge of silicon oxide 4 along the edge of a slot 2, and these film receives silicon oxide etchant. Since the selection ratio is high, Since electric-field concentration is controlled under the gate electrode 13 of an active region, without being etched even if it removes the silicon oxide 31 formed in the front face, in order to remove the defect on the front face of an active region of the semi-conductor substrate 1, the reverse narrow channel

effect can be suppressed and a threshold can be stabilized. Moreover, also in case a contact hole 16 is formed through an interlayer insulation film, since the silicon nitriding oxide film or silicon nitride formed in the shape of a sidewall to silicon oxide 4 is hard to be etched, it can control depression of the silicon oxide 4 which happens along the edge of a slot 2. By it, leakage current can be suppressed, malfunction can be prevented, and the semiconductor device whose dependability improved can be obtained.

[0028] Drawing 3 - drawing 9 are the sectional views showing one process of the manufacture approach of a semiconductor device which shows the gestalt 1 of implementation of this invention. In drawing 3, 21 is a silicon nitride and 31 is silicon oxide. First, after forming about 5-30nm of silicon oxide 31 by thermal oxidation on the semi-conductor substrate 1, about 100-300nm of silicon nitrides 21 is formed. Drawing 3 is the sectional view of the component of the semiconductor device in the phase which this process finished. Next, after performing anisotropic etching and carrying out patterning of the silicon nitride 21 by using as a mask photoengraving-process patterns (not shown), such as a photoresist formed in the part except the formation field of a slot 2, a photoengraving-process pattern is removed. Drawing 4 is the sectional view of the component of the

semiconductor device in the phase which this process finished. And the silicon nitride 21 which remained is used as a mask, anisotropic etching of silicon oxide 31 and the semi-conductor substrate 1 is carried out, and the slot 2 with a depth [ of 100-500nm ] and a width of face of about 100-500nm is formed in the front face of a semi-conductor substrate. However, in order to use the silicon nitride 21 as a stopper of CMP, thickness 100nm or more needs to remain in this phase. Drawing 5 is the sectional view showing the component of the semiconductor device in the phase which this process finished.

[0029] Next, silicon oxide 4 is formed in the whole surface by 300nm - about 1000nm thickness with a reduced pressure CVD method. Drawing 6 is the sectional view of the component in the phase which this process finished. Although a seam 9 may not be formed, the membranous quality of the center section of the silicon oxide 4 embedded in the slot 2 also in that case is in the bad condition. Next, by the CMP method which used the silicon nitride 21 as the stopper, the silicon oxide 4 on silicon nitride 21 front face is removed, and it leaves silicon oxide 4 only to the interior of opening which consists of a slot 2 and a silicon nitride 21. At this time, a seam 9 is exposed to a front face. If the CMP method is used here, also in the part from which the width of face of a slot 2 differs,

it can leave silicon oxide 4 evenly similarly, and a seam 9 can be exposed similarly. And hydrofluoric acid performs wet etching, the aperture width of a seam 9 is extended, and the silicon nitride 21 is removed by the wet etching by the heat phosphoric acid after that. The front face of the silicon oxide 4 embedded in the slot 2 at this time is higher about 30nm than semi-conductor substrate 1 front face. Drawing 7 is the sectional view of the component in the phase which this process finished.

[0030] Then, after forming 100nm - about 300nm of silicon nitriding oxide films in the whole surface with a reduced pressure CVD method and embedding a seam 9, the dry etching which has a selection ratio to silicon oxide removes a silicon nitriding oxide film by using silicon oxide 31 as an etching stopper. At this time, the silicon nitriding oxide film 30 embedded at the seam 9 remained, and the silicon nitriding oxide film remains in the direction of a flat surface width of face of about 30nm in the shape of a sidewall in the side face of the silicon oxide 4 formed above semi-conductor substrate 1 front face. And by using the silicon nitriding oxide film 10 as a mask, with hydrofluoric acid, the exposed part of silicon oxide 31 is removed and trench separation is completed. Drawing 8 is the sectional view showing the component of the semiconductor device in the phase which this process finished. Although the

film which consists of high matter of a selection ratio to oxide film etchant like a silicon nitride although the silicon nitriding oxide films 10 and 30 are used here can be substituted and the ratio should just be 3 to 1 or more, it is desirable that it is 5 to 1 or more.

[0031] And in nMOS, after forming about 3-15nm silicon oxide on semi-conductor substrate 1 front face by thermal oxidation, when carrying out the ion implantation of the impurities, such as Lynn and an arsenic, in boron, fluoridation boron, and pMOS, the well containing a channel impregnation layer etc. is formed (not shown). Then, hydrofluoric acid removes silicon oxide, it oxidizes thermally again, and about 3-15nm gate dielectric film 5 is formed. Next, in nMOS, after depositing Lynn, an arsenic, and the polish recon layer 6 in which it has about 50-100nm thickness in pMOS, including impurities, such as boron, boron, etc. fluoride, about three  $1 \times 10^{21}/\text{cm}^3$  with a CVD method and forming the metal silicide layers 7, such as tungsten silicide, by the CVD method or the spatter, the gate electrode 13 is formed by carrying out patterning.

[0032] and -- if it becomes nMOS -- Lynn and an arsenic -- if it becomes pMOS, the ion implantation of the boron, boron, etc. fluoride is carried out with  $3 \times 10^{13}/\text{cm}^2$  and 20 - 40keV extent, the source drain fields 11 and 12 are formed, with a reduced pressure CVD method, about

50-100nm of silicon oxide will be carried out deposition and etchback, and a sidewall 8 will be formed. When you make the source drain fields 11 and 12 into LDD structure, let an arsenic (nMOS), boron, or fluoridation boron (pMOS) be a source drain field here together with the impurity range of about three  $1 \times 10^{20}/\text{cm}^3$  [ which is pouring in about two one to  $5 \times 10^{15}/\text{cm}^3$ , and is formed ] high impurity concentration further (not shown). Then, the 200nm - about 600nm interlayer insulation film 14 is deposited with a CVD method, and opening of the contact hole 16 which arrives at the source drain field 11 is carried out with the diameter of 0.1 micrometers - 0.5 micrometer by the dry etching by Tori Fluor methane ( $\text{CHF}_3$ ) and tetra-FURUORU methane ( $\text{CH}_4$ ).

[0033] Next, if it becomes nMOS, if it becomes pMOS, the ion implantation of boron or the fluoridation boron will be carried out in 20-50keV and about two  $5 \times 10^{13}$  to  $30 \times 10^{13}/\text{cm}^2$ , and Lynn and the impurity range 15 which has about three  $5 \times 10^{18}/\text{cm}^3$  high impurity concentration will be formed. Drawing 9 is the sectional view showing the component of the semiconductor device in the phase which this process finished. And after depositing about 50-150nm of polycrystalline silicon which includes Lynn about three  $1 \times 10^{20}$  to  $5 \times 10^{20}/\text{cm}^3$  with a CVD method and depositing 50-150nm (WSi) of tungsten silicide with

a CVD method, patterning is carried out and the semiconductor device shown in drawing 1 is formed by forming a wiring layer 17. Furthermore, an about 200-600nm interlayer insulation film is formed similarly, and the contact hole, impurity range, and wiring layer linked to the source drain field 12 are formed (not shown). The wiring layer linked to the source drain fields 11 and 12 may form any first.

[0034] While according to the manufacture approach of this semiconductor device embedding the interior of the seam 9 formed in the center section of the silicon oxide 4 in a slot 2 and forming high insulating isolation The sidewall which consists of a silicon nitriding oxide film 10 or silicon oxide is formed also in the edge of silicon oxide 4, and these film receives silicon oxide etchant. Since the selection ratio is high, Even when the mask at the time of forming a contact hole 16 shifts to an interlayer insulation film 14, it is hard to be etched, and depression of silicon oxide 4 can be prevented in the part along the edge of a slot. The manufacture approach of a semiconductor device whose dependability could also prevent depression of the impurity range 15 where impurity distribution is influenced by the shape of surface type of this part, leakage current was controlled at the simple process by it using the low pressure CVD system used from the



former, and improved by it can be acquired.

[0035] Moreover, by controlling depression of the silicon oxide 4 in the part which met the edge of a slot 2 even when the silicon oxide 31 on the active-region front face of a semi-conductor substrate was once removed, in order to recover the defect produced in the case of slot dimorphism \*\* Since etching \*\* of the wiring material in the case of gate electrode 13 formation does not occur while electric-field concentration in the active-region edge under the gate electrode 13 is controlled, the reverse narrow channel effect is suppressed and a threshold is stabilized, the effectiveness that short-circuit is avoidable is done so. If the sidewall 8 of gate electrode 13 side face is furthermore also formed by the silicon nitriding oxide film or the silicon nitride, the insulation of wiring 17 and the gate electrode 13 can be raised, and the dependability of a semiconductor device will improve.

[0036] Gestalt 2. drawing 10 of operation is the sectional view of the semiconductor device in which the gestalt 2 of implementation of this invention is shown, and, for 18, as for a capacitor insulator layer and 20, a storage node and 19 are [ a cel plate and 22 ] capacitors in drawing. A capacitor 22 has the storage node 18 and the about 5-10nm thickness which consist of polycrystalline silicon which includes Lynn about three

one to 5x10<sup>20</sup>/cm. It consists of a capacitor insulator layer 19 which consists of a silicon nitriding oxide film, and a cel plate 20 which consists of polycrystalline silicon which includes Lynn about three one to 5x10<sup>20</sup>/cm. The storage node 18 is the memory cell of DRAM (Dynamic Random Access Memory) connected to the source drain field 11 through the contact hole 16. And, for example at the time of about L=200nm of gate length, the width of face of a slot 2 changes with locations, the minimum separation width of face is 200nm - about 400nm in 100nm - 200nm and the other part, and the depth of a slot 2 is about 150-500nm. About parts other than this, it has the same structure as the semiconductor device shown in the gestalt 1 of operation.

[0037] In the memory cell of DRAM, with the charge accumulated in the capacitor, information is accumulated and it is refreshing for every fixed time amount (read-out/writing), and if leakage current flows, since the information accumulated in the capacitor will be lost too much and a refresh property will deteriorate, compared with the transistor of other parts, leakage current becomes more important. When impressing 0V to the bit line (not shown) connected to VG=2.0V, VB=-1.0V, and the source drain field 12 when writing data in a capacitor 22 and eliminating data, an about [ 2.0V ] electrical potential difference is

impressed to the bit line (not shown) linked to  $V_G=2.0V$ ,  $V_B=-1.0V$ , and the source drain field 12. Moreover, when reading data, the electrical potential difference impressed to the bit line is made into about 1.0V.

[0038] Since the interior of the seam 9 formed in the center section of the silicon oxide 4 in a slot 2 is embedded by the silicon oxidation nitride or the silicon nitride according to this semiconductor device, while being able to obtain high insulating isolation. The sidewall which consists of a silicon oxidation nitride or silicon oxide is formed also in the edge of silicon oxide 4 along the edge of a slot 2, and these film receives silicon oxide etchant. Since the selection ratio is high, Since electric-field concentration is controlled under the gate electrode 13 of an active region, without being etched even if it removes the silicon oxide 31 formed in the front face, in order to remove the defect on the front face of an active region of the semi-conductor substrate 1, the reverse narrow channel effect can be suppressed and a threshold can be stabilized. Moreover, also in case a contact hole 16 is formed through an interlayer insulation film, since the silicon nitriding oxide film or silicon nitride formed in the shape of a sidewall to silicon oxide 4 is hard to be etched, it can control depression of the silicon oxide 4 which happens along the edge of a slot 2. The DRAM memory cell whose refresh

property volatilization of data was suppressed by it and improved by it since leakage current was suppressed can be obtained.

[0039] Drawing 11 is the sectional view showing one process of the manufacture approach of a semiconductor device which shows the gestalt 2 of implementation of this invention. First, the trench separation which consists of a slot 2, silicon oxide 3, 31, and 4, and silicon nitriding oxide films 10 and 30 is formed in the front face of a semi-conductor substrate like the gestalt 1 of operation. However, a slot 2 is set to 100nm - about 200nm, and the other part is set to about 200-400nm in the minimum separation width-of-face part. And the polish recon layer 6 and the metal silicide layer 7 used as gate oxide 5 and the gate electrode 13 are formed like the gestalt 1 of operation. At this time, it considers as die length of about  $L=0.2$  micrometers of the gate electrode 13. Furthermore, sequential formation of the source drain fields 11 and 12, a sidewall 8, and the interlayer insulation film 14 is carried out like the gestalt 1 of operation.

[0040] In drawing 11, 141 is an interlayer insulation film. After forming an interlayer insulation film 14 with a reduced pressure CVD method, the contact hole which arrives at the source drain field 12 is formed in an interlayer insulation film 14, and the impurity range which pours in Lynn in 20-50keV

and about two  $1 \times 10^{13}$  to  $1 \times 10^{14}$  /cm, and has about three  $1 \times 10^{18}$  /cm high impurity concentration is formed (not shown). This impurity range is for mainly lowering contact resistance, and may not be formed. Then, the bit line is formed like the gestalt 1 of operation into a contact hole by embedding and carrying out patterning of a polish recon layer and tungsten silicide layer including Lynn (not shown). And after forming an interlayer insulation film 14 and the interlayer insulation film 141 which has about 200-600nm thickness similarly and forming the contact hole 17 which arrives at the source drain field 11, Lynn is poured into the whole surface in 50-150keV and about two  $1 \times 10^{13}$  to  $1 \times 10^{14}$  /cm, and the impurity range 15 which has about three  $1 \times 10^{18}$  /cm high impurity concentration is formed. Drawing 11 R> 1 is the sectional view showing the component of the semiconductor device of the phase which this process finished.

[0041] Then, about 600-1000nm of polycrystalline silicon which contained impurities, such as Lynn, about three  $1 \times 10^{20}$  to  $5 \times 10^{20}$  /cm is deposited on the whole surface, and the storage node 18 is formed by arranging only to a predetermined field by patterning. And about 5-10nm of silicon nitriding oxide films used as the capacitor insulator layer 19 is deposited with a CVD method, and a capacitor 22 is formed by

depositing about 50-100nm of polycrystalline silicon which contained impurities used as the cel plate 20, such as Lynn, about three  $1 \times 10^{20}$  to  $5 \times 10^{20}$  /cm, and carrying out patterning on it, further. By the above manufacture approaches, the semiconductor device shown in drawing 10 is formed.

[0042] While according to the manufacture approach of this semiconductor device embedding the interior of the seam 9 formed in the center section of the silicon oxide 4 in a slot 2 and forming high insulating isolation The sidewall which consists of a silicon nitriding oxide film 10 or silicon oxide is formed also in the edge of silicon oxide 4, and these film receives silicon oxide etchant. Since the selection ratio is high, Even when the mask at the time of forming a contact hole 16 shifts to interlayer insulation films 14 and 141, it is hard to be etched, and depression of silicon oxide 4 can be prevented in the part along the edge of a slot. The manufacture approach of a DRAM memory cell whose refresh property could also prevent depression of the impurity range 15 where impurity distribution is influenced by the shape of surface type of this part, leakage current was controlled at the simple process by it using the low pressure CVD system used from the former, and improved by it can be acquired.

[0043] Moreover, by controlling

depression of the silicon oxide 4 which met the edge of a slot 2 even when the silicon oxide 31 on the active-region front face of a semi-conductor substrate was once removed, in order to recover the defect produced in the case of slot dimorphism \*\* Since etching \*\* of the wiring material in the case of gate electrode 13 formation does not occur while electric-field concentration in the active-region edge under the gate electrode 13 is controlled, the reverse narrow channel effect is suppressed and a threshold is stabilized, the effectiveness that short-circuit is avoidable is done so. If the sidewall 8 of gate electrode 13 side face is furthermore also formed by the silicon nitriding oxide film or the silicon nitride, the insulation of wiring 17 and the gate electrode 13 can be raised.

[0044]

[Effect of the Invention] Since this invention is constituted as explained above, it does the following effectiveness so. Since the interior of a seam where this invention was formed in the center section of Mizouchi's silicon oxide is embedded by the insulator layer, while being able to obtain high insulating isolation Since it is hard to be etched also in case the sidewall which consists of an insulator layer is formed also on the front face of the semi-conductor substrate along the edge of a slot and these film forms a contact hole in an interlayer insulation film, Depression of the silicon

oxide which happens along the edge of a slot can be controlled, by it, the leakage current between a semi-conductor substrate and a component can be suppressed, malfunction can be prevented, and the semiconductor device whose dependability improved can be obtained. Moreover, since the electric-field concentration generated when Mizouchi's silicon oxide falls under the gate electrode of the active region of a semi-conductor substrate front face is controlled, the reverse narrow channel effect can be suppressed and a threshold can be stabilized.

[0045] Furthermore, since it controls further that the silicon oxide by which it was embedded along the edge of a slot at Mizouchi by forming the 1st insulating layer in the crevice of a silicon oxide center section, and insulation becoming high since the insulator layer was formed with the silicon nitride or silicon nitriding oxide film whose selection ratio is 5 to 1 or more to the etchant of silicon oxide falls, leakage current and the reverse narrow channel effect are suppressed further, and dependability can be raised further.

[0046] Moreover, since the impurity layer is formed in the semi-conductor substrate front face under a contact hole, while easing the electric field of a semi-conductor substrate and a source drain field Since depression does not arise in the silicon oxide embedded at

Mizouchi in case the insulator layer is formed on the semi-conductor substrate front face of the boundary parts of a slot and an active region and a contact hole is formed in an interlayer insulation film, Since there is no possibility that leakage current may flow between the transistors which the configuration of the impurity layer influenced in the shape of [ of the semi-conductor substrate exposed to a contact hole ] surface type does not fall, either, and adjoin through trench separation, malfunction is suppressed and dependability improves.

[0047] Moreover, since the impurity layer is formed in the semi-conductor substrate front face under a contact hole, while easing the electric field of a semi-conductor substrate and a source drain field Since depression does not arise in the silicon oxide embedded at Mizouchi in case the insulator layer is formed on the semi-conductor substrate front face of the boundary parts of a slot and an active region and a contact hole is formed in an interlayer insulation film, Since volatilization of the data from a capacitor is suppressed since there is no possibility that the configuration of the impurity layer influenced in the shape of [ of the semi-conductor substrate exposed to a contact hole ] surface type may not fall, either, and leakage current may flow, and a refresh property improves, dependability can be raised.

[0048] Moreover, while embedding the

interior of the seam formed in the center section of Mizouchi's silicon oxide, the sidewall which consists of an insulator layer is formed also in the edge of silicon oxide, and since this insulator layer is hard to be etched even when the mask at the time of forming a contact hole in an interlayer insulation film shifts, it can prevent depression of silicon oxide in the part along the edge of a slot. The manufacture approach of a semiconductor device whose dependability could keep smooth the configuration of the silicon oxide embedded at Mizouchi, leakage current was controlled at the simple process by it using the low pressure CVD system used from the former, and improved by it can be acquired.

[0049] Moreover, since this insulator layer can also control the depression which takes place in the silicon oxidation membrane end section embedded to the interior of a slot on the occasion of the removal of silicon oxide performed in order to recover the defect formed in an active-region front face in the case of slot formation, Since electric-field concentration in the active-region edge of a semi-conductor substrate is controlled, it can suppress the reverse narrow channel effect and leakage current is not only controlled by it, but can obtain the semiconductor device whose threshold was stable.

[0050] Furthermore, since the insulator

layer is formed to silicon oxide etchant with the silicon nitride or silicon nitriding oxide film whose selection ratio is 5 to 1 or more, depression by the silicon oxidation membrane end section inside a slot can be prevented further.

[0051] Moreover, since the impurity layer is formed in self align through a contact hole, While being able to obtain the semiconductor device with which the impurity layer could be formed in an opening subordinate's semi-conductor substrate front face at the simple process, the electric field of a semi-conductor substrate and a source drain field were eased, and leakage current was controlled Since depression does not arise in Mizouchi's silicon oxidation membrane end section in case a contact hole is formed in an interlayer insulation film, the impurity layer influenced by the configuration exposed in this contact hole does not fall. By it, there is no possibility that leakage current may flow, and it does not malfunction between the transistors which adjoin through trench separation, but the semiconductor device whose dependability improved can be obtained.

[0052] moreover , since depression do not arise in Mizouchi silicon oxidation membrane end section in case a contact hole be form in an interlayer insulation film while being able to form an impurity layer in an opening subordinate semi-conductor substrate front face at a

simple process and ease the electric field of a semi-conductor substrate and a source drain field , since the impurity layer be form in self align through a contact hole , the impurity layer influence by the configuration expose in this contact hole do not fall . Since there is no possibility that leakage current may flow, volatilization of the data from a capacitor is suppressed by it and a refresh property improves by it, the memory cell of DRAM whose dependability improved can be obtained.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the plan showing the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 3] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 4] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of

this invention.

[Drawing 5] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 6] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 7] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 8] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 9] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 1 of operation of this invention.

[Drawing 10] It is the sectional view showing the semiconductor device concerning the gestalt 2 of operation of this invention.

[Drawing 11] It is the sectional view showing one process of the manufacture approach of the semiconductor device concerning the gestalt 2 of operation of this invention.

[Drawing 12] It is the plan showing the

conventional semiconductor device.

[Drawing 13] It is the sectional view showing one process of the manufacture approach of the conventional semiconductor device.

[Drawing 14] It is the sectional view showing one process of the manufacture approach of the conventional semiconductor device.

[Drawing 15] It is the sectional view showing one process of the manufacture approach of the conventional semiconductor device.

[Drawing 16] It is the sectional view showing one process of the manufacture approach of the conventional semiconductor device.

[Drawing 17] It is the sectional view showing the conventional semiconductor device.

[Drawing 18] It is the sectional view showing the component of the conventional semiconductor device.

[Drawing 19] It is the graph which shows the impurity atom concentration profile of the conventional semiconductor device.

[Drawing 20] It is the sectional view showing one process of the manufacture approach of the conventional semiconductor device.

[Drawing 21] It is the sectional view showing one process of the manufacture approach of the conventional semiconductor device.

[Description of Notations]

1 Semi-conductor Substrate 2 Slot 3

Silicon Oxide 4 Silicon Oxide, 9 Seam 10  
Silicon Nitriding Oxide Film 14  
Interlayer Insulation Film 15 Impurity  
Range 16 Contact Hole 22 Capacitor 141  
Silicon Oxide

---

[Translation done.]



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-133701

(P2000-133701A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 21/76		H 0 1 L 21/76	L 5 F 0 3 2
27/08	3 3 1	27/08	3 3 1 A 5 F 0 4 0
29/78		29/78	3 0 1 R 5 F 0 4 8

審査請求 未請求 請求項の数9 O L (全 15 頁)

(21)出願番号 特願平10-302516

(22)出願日 平成10年10月23日(1998. 10. 23)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 堀田 勝之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 マティアス ベーター

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外2名)

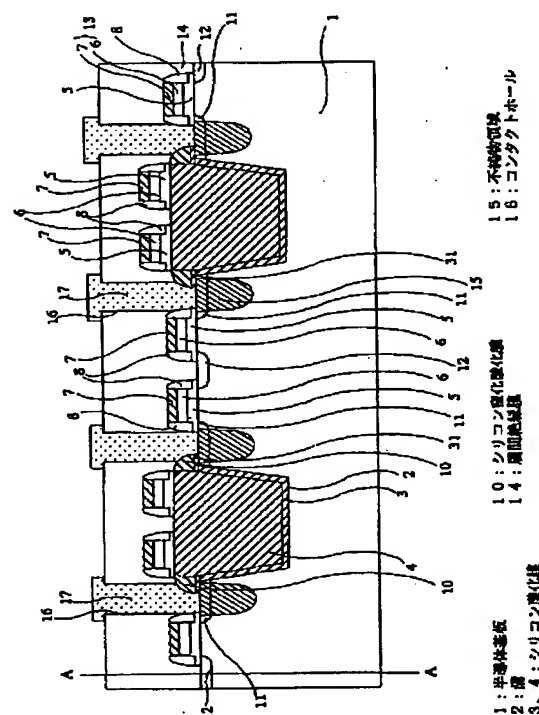
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ゲート電極下の活性領域に発生する逆ナローチャネル効果を抑えてしきい値を安定させるとともに、リーク電流を抑制することのできるトレンチ分離を備えた半導体装置およびその製造方法を得ることを目的とする。

【解決手段】 トレンチ分離の溝2内に埋め込まれたシリコン酸化膜4の縁に沿った半導体基板1の表面上に、シリコン酸化膜4に対してサイドウォール状に形成された絶縁層10を備える。



(2)

## 【特許請求の範囲】

【請求項1】 主表面に配設された活性領域とこの活性領域を取り囲んで前記主表面に形成された溝とを有する半導体基板と、

前記溝内に埋め込まれ、前記溝上表面に凹部を有するシリコン酸化膜と、

前記凹部内に埋め込んで形成された第1の絶縁層と、前記シリコン酸化膜と、前記活性領域の境界部分の前記活性領域上に形成され、前記第1の絶縁層と同じ材料からなる第2の絶縁層と、

前記活性領域の主表面に形成された素子と、前記素子に到達する開口を有する層間絶縁膜と、前記層間絶縁膜の開口を通して前記素子に接続する電極とを備えた半導体装置。

【請求項2】 第1および第2の絶縁層の材料がシリコン窒化膜またはシリコン窒化酸化膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 素子は、電界効果トランジスタであり、前記電界効果トランジスタのソース・ドレイン領域表面に形成された金属シリサイド層と、開口に対向する前記半導体基板の主表面に形成され、前記ソース・ドレイン領域と同一導電型の不純物を含む不純物領域とを備えたことを特徴とする請求項2記載の半導体装置。

【請求項4】 素子は、電界効果トランジスタであり、開口に対向する前記半導体基板の主表面に形成され、前記ソース・ドレイン領域と同一導電型の不純物を含む不純物領域を備え、

電極は、前記ソース・ドレイン領域のいずれか一方に接続するキャパシタの下部電極であることを特徴とする請求項2記載の半導体装置。

【請求項5】 半導体基板の活性領域の主表面上を覆うマスクをかけて前記半導体基板主表面をエッチングし、活性領域を取り囲む溝を形成する工程と、CVD法によって、全面に第1のシリコン酸化膜を形成する工程と、

前記マスク表面上の前記第1のシリコン酸化膜を除去する工程と、

前記マスクを除去した後、絶縁膜を形成する工程と、前記絶縁膜をエッチングして、前記活性領域端部の表面上に絶縁層を形成する工程と、

前記半導体基板の活性領域の主表面に素子を形成する工程と、

前記素子を覆う層間絶縁膜を形成する工程と、

前記絶縁膜に対して選択比の高いエッチングを行って、前記層間絶縁膜に前記素子に到達する開口を形成する工程と、

前記開口を通して前記素子に接続する電極を形成する工程とを備えた半導体装置の製造方法。

【請求項6】 溝を形成する工程の後、第1のシリコン

2

酸化膜を形成する工程の前に、熱酸化によって、全面に第2のシリコン酸化膜を形成する工程を備えたことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 絶縁膜がシリコン窒化膜またはシリコン窒化酸化膜であることを特徴とする請求項5または請求項6のいずれか一項に記載の半導体装置の製造方法。

【請求項8】 素子を形成する工程は、前記半導体基板の活性領域の主表面にゲート絶縁膜を形成する工程と、

10 前記ゲート絶縁膜表面上にゲート電極を形成する工程と、

前記半導体基板の主表面にソース・ドレイン領域を形成する工程と、

前記ソース・ドレイン領域の表面上に金属シリサイド層を形成する工程とを備え、

開口を形成する工程の後、前記開口を通して前記ソース・ドレイン領域のいずれか一方に接続する電極を形成する工程の前に、イオン注入によって前記開口に対向する前記半導体基板の活性領域の主表面中に不純物領域を形成する工程とを備えたことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 素子を形成する工程は、前記半導体基板の活性領域の主表面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜表面上にゲート電極を形成する工程と、

前記半導体基板の主表面にソース・ドレイン領域を形成する工程とを備え、

開口を形成する工程の後、前記開口を通して前記ソース・ドレイン領域のいずれか一方に接続する電極を形成する工程の前に、イオン注入によって前記開口に対向する前記半導体基板の活性領域の主表面中に不純物領域を形成する工程と、

前記電極表面上を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜表面上に上部電極を形成する工程とを備えたことを特徴とする請求項7記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置およびその製造方法に関するものであり、特に半導体装置の分離構造に関するものである。

【0002】

【従来の技術】 半導体素子間の絶縁分離を行う方法の一つにトレンチ分離がある。これは、半導体基板の表面の分離領域に溝を形成し、その内部にシリコン酸化膜などの絶縁膜を埋め込んで形成されたものであり、他の絶縁分離に比べて所要面積と寄生容量が非常に小さく、半導体装置の高集積化および高速化に適した構造である。こ

50

(3)

3

のトレンチ分離は、分離領域となる半導体基板の表面に溝を形成した後、CVD (Chemical Vapor Deposition) 法によってシリコン酸化膜を溝内に埋め込み、表面をエッチングして溝内にのみ酸化膜を残すことによって形成されており、熱酸化によって分離膜を形成する場合に比べて、バズビークによる活性領域の減少を抑制できるため、トレンチ分離の形状が制御しやすく、微細化に適した方法である。

【0003】しかし、半導体装置の微細化にともなって分離幅も非常に小さくなり、特に分離幅の小さい部分でアスペクト比が高くなるため、CVD法で溝を埋め込んだ場合には、溝に埋め込まれたシリコン酸化膜の中央部にシーム(seam)と呼ばれる小さな隙間を生じるという問題が発生する。これは、シリコン酸化膜の埋め込みが、溝の側壁から中央部に向かって進むにつれて、溝内部の空間の幅が狭くなり、溝の底部まで十分に反応ガスが供給されなくなるため、溝底部に完全にシリコン酸化膜が埋め込まれる前に溝上部シリコン酸化膜で塞がれてしまうことによって起こる現象である。シームは後の工程でシリコン酸化膜の表面に細い溝として露出し、その上にゲート電極などの配線を形成する課程で、このシームに配線材料が入り、エッチングによるパターニングの際にも除去されず残ってしまうため、この部分を介して配線間でショートが起こってしまう。

【0004】そこで、このシームにシリコン酸化膜を埋め込むことによって、シーム内に配線材料が入り込むのを防止し、配線間のショートを防止している。溝内に埋め込まれたシリコン酸化膜の表面上にシリコン窒化膜を形成してシームを埋め込んでから表面をエッチングした半導体装置およびその製造方法が、特開昭59-182538号公報に記載されている。また、溝内にポリシリコン膜を埋め込んだ後、ウェットエッチングでシームを広げ、その表面上に再度ポリシリコン膜を形成した半導体装置およびその形成方法が特開昭62-132341号公報に記載されている。また、溝内に埋め込まれたシリコン酸化膜の表面を一旦エッチングしてから表面上にポリシリコン膜を形成し、熱酸化したトレンチ分離を有する半導体装置およびその製造方法が特開昭63-197355号公報などに記載されている。

【0005】図12は従来の半導体装置を示す上面図であり、図において109はシーム、1013はゲート電極、201は活性領域、202は分離領域である。図12に示したように、二つの活性領域201間で分離領域202の幅が狭くなっている部分にシーム109が形成されやすくなっている。これは、図12に示した配置に限ったものではない。図13～図16は従来の半導体装置の製造方法の一工程を示すトレンチ分離の断面図であり、図12に示したW-W断面における断面図である。図13において、101は半導体基板、102は溝、1031はシリコン酸化膜、1021はシリコン窒化膜で

4

ある。まず、半導体基板101の表面上にシリコン酸化膜1031およびシリコン窒化膜1021を形成し、フォトリソマスク(図示せず)を用いて溝102形成領域を開口するようにパターニングした後、このパターニングされたシリコン窒化膜1021をマスクとして溝102を形成する。図13はこの工程が終わった段階での半導体装置の素子の断面図である。

【0006】図14において、103および104はシリコン酸化膜である。図14を参照して、熱酸化によって溝102内にシリコン酸化膜103を形成した後、CVD法によってシリコン酸化膜104を溝102内に埋め込む。図14はこの工程が終わった段階での半導体装置の素子の断面図である。この図に示したように、微細な分離領域では、この段階でシーム109が形成される。図15において、1030はシリコン酸化膜である。図を参照して、シリコン酸化膜104の表面をエッチングしてからシリコン酸化膜1030を形成することによって、シーム109がシリコン酸化膜1030で埋め込まれる。図15はこの工程が終わった段階での半導体装置の素子の断面図である。

【0007】図16において、105はゲート絶縁膜、106はポリシリコン層、107は金属シリサイド層、1013はゲート電極であり、ポリシリコン層106と金属シリサイド層107によってゲート電極1013が形成されている。図を参照して、次にシリコン酸化膜1030の表面をエッチングしてから、シリコン窒化膜1021を除去する。その後、シリコン酸化膜1031をエッチングで除去してトレンチ分離が完成する。そして、ゲート絶縁膜105、ポリシリコン層106および金属シリサイド層107を順次形成する。図16はこの工程が終わった段階での半導体装置の素子の断面図である。シーム109はシリコン酸化膜1030で埋め込まれているため、その上にゲート電極1013を形成しても、中に配線材料などが入ることが防止される。また、シリコン窒化膜1021は、シリコン酸化膜1030の表面をCMP (Chemical Mechanical Polishing) 法によって平坦化する場合には、ストッパーの役割を果たし、シリコン酸化膜1030の表面をドライエッチングによってエッチングする場合には、活性領域となる半導体基板表面を保護する役割を果たすため、溝102内にシリコン酸化膜104および1030を埋め込んだ後で除去する必要がある。

【0008】図17は従来の半導体装置を示す素子の断面図であり、図12に示した半導体装置にさらに層間絶縁膜および配線層を形成した場合のX-X断面における断面図である。図において、108はサイドウォール、1011および1012はソース・ドレイン領域、1014は層間絶縁膜、1016はコンタクトホール、1017は配線層である。図を参照して、サイドウォール108、ソース・ドレイン領域1011および1012、

(4)

5

層間絶縁膜1014、コンタクトホール1016および配線層1017を順次形成する。このようにして図17に示した半導体装置が形成される。

#### 【0009】

【発明が解決しようとする課題】しかしながら、従来の半導体装置においては、溝内を埋め込んだシリコン酸化膜と層間絶縁膜が同質膜であるため、層間絶縁膜をエッチングしてソース・ドレイン領域に達するコンタクトホールを形成する際にマスクがずれると、層間絶縁膜だけでなく溝内を埋め込んだシリコン酸化膜も溝の縁に沿ってエッチングされて落ち込みを生じてしまう。

【0010】図18は従来の半導体装置示す素子の断面図であり、図19は図18に示したY-Y断面における不純物濃度分布を示すグラフである。図18において、1015はソース・ドレイン領域1011および1012と同一導電型の不純物からなる不純物領域である。活性領域の半導体基板101表面には、チャネル注入層などからなるウェルが形成されており、その不純物濃度分布は図19に示したようになっている。このため、ソース・ドレイン領域1011の不純物濃度ピークと、同程度の深さに形成されているチャネル注入層の不純物濃度ピークが重なってしまい（図中P）、高電界のpn接合がソース・ドレイン領域1011内に形成されるため、電界集中によってソース・ドレイン領域と半導体基板との間にリーク電流が流れる。そこで、ソース・ドレイン領域と同一導電型の不純物領域を形成することによって低濃度のpn接合を形成し（図中Q）、電界集中を防止している。図18を参照して、不純物領域1015はコンタクトホール1016を形成した後に、全面にソース・ドレイン領域と同一導電型の不純物をSAC (Self Aligned Contact) 注入して形成されている。

【0011】しかし、図18に示したように、溝102内を埋め込んだシリコン酸化膜104が溝102の縁に沿って落ち込むと、シリコン酸化膜104の表面形状に合わせて不純物領域1015の一部が深く形成されて、隣接するトランジスタとの間にリーク電流が流れてしまうことがあるという問題点があった。逆に、不純物領域1015を形成しない場合には、半導体基板101とソース・ドレイン領域1011の双方に配線層1017が接続して、トランジスタとしての機能を果たさなくなってしまうという問題点があった。また、トレンチ分離が完成した後、ゲート絶縁膜を形成する前の段階では、半導体基板の露出部（活性領域）にシリコン酸化膜が形成されているが、このシリコン酸化膜は膜質が悪く、ゲート絶縁膜として使えないため除去しなければならず、この時同時に、溝内に埋め込まれたシリコン酸化膜も除去されてしまい落ち込みを生じてしまう。

【0012】図20および図21は従来の半導体装置の製造方法の一工程を示す素子の断面図であり、図21は図12に示した半導体装置のZ-Z断面における断面図

6

である。図15に示したようにシリコン酸化膜1030を形成した後、シリコン酸化膜1030の表面、シリコン窒化膜1021およびシリコン酸化膜1031を順次除去する。図20はこの工程が終わった段階での半導体装置の素子の断面図であり、図中の溝102の縁に沿って、シリコン酸化膜104の形状が落ち込んでいる。この段階でさらに、ゲート絶縁膜の信頼性を高めるために、基板表面上にシリコン酸化膜1031と同じように再びシリコン酸化膜を形成し（図示せず）、これを除去してから、改めてゲート絶縁膜105およびゲート電極1013を形成する。図21はこの工程が終わった段階での半導体装置の素子の断面図であり、溝102内に埋め込まれたシリコン酸化膜104の形状はさらに落ち込んでいる。このような落ち込みは、溝102の縁に沿って全体に発生するが、このようにシリコン酸化膜104が落ち込むと、ゲート電極下の活性領域端部で電界集中が起きて逆ナローチャネル効果が起こるため、しきい値電圧が低下してしまうという問題点があった。

【0013】本発明は、上記した点に鑑みて考え出されたもので、溝の縁に沿って溝内に埋め込まれたシリコン酸化膜が落ち込むのを防止することで、ゲート電極下の活性領域に発生する逆ナローチャネル効果を抑えてしきい値を安定させるとともに、コンタクトホール形成時に溝内のシリコン酸化膜が落ち込むのを抑えて、リーク電流を抑制することのできるトレンチ分離を備えた半導体装置およびその製造方法を得ることを目的とするものである。

#### 【0014】

【課題を解決するための手段】この発明に係る半導体装置は、主表面に配設された活性領域とこの活性領域を取り囲んで主表面に形成された溝とを有する半導体基板と、溝内に埋め込まれ、溝上表面に凹部を有するシリコン酸化膜と、凹部内に埋め込んで形成された第1の絶縁層と、シリコン酸化膜と、活性領域の境界部分の活性領域上に形成され、第1の絶縁層と同じ材料からなる第2の絶縁層と、活性領域の主表面に形成された素子と、素子に到達する開口を有する層間絶縁膜と、層間絶縁膜の開口を通して素子に接続する電極とを備えたものであり、第2の絶縁層によって、溝の縁に沿って起こるシリコン酸化膜の落ち込みを抑制することができるため、半導体基板と素子の間のリーク電流を抑えることができるとともに、活性領域端部での電界集中を抑えることができる。

【0015】さらに、第1および第2の絶縁層の材料がシリコン窒化膜またはシリコン窒化酸化膜であることを特徴とするものであり、シリコン酸化膜中央部の凹部内に第1の絶縁層を形成して絶縁性が高くなり、またシリコン酸化膜のエッチャントに対して選択比が5対1以上であるため、溝の縁に沿って溝内に埋め込まれたシリコン酸化膜が落ち込むのをより一層抑制することができる。

7

る。

【0016】さらに、素子は、電界効果トランジスタであり、電界効果トランジスタのソース・ドレイン領域表面に形成された金属シリサイド層と、開口に対向する半導体基板の主表面に形成され、ソース・ドレイン領域と同一導電型の不純物を含む不純物領域とを備えたことを特徴とするものであり、この不純物層によって半導体基板とソース・ドレイン領域との電界を緩和するとともに、溝と活性領域の境界部分の半導体基板表面上に形成された絶縁膜によって、層間絶縁膜に開口を形成する際に溝内に埋め込まれたシリコン酸化膜に落ち込みが生じないため、開口部に露出する表面形状に左右される不純物層の形状も落ち込んで、所望の形状より半導体基板の奥深くまで形成されることがなく、トレンチ分離を介して隣接するトランジスタ間でリーク電流が流れる恐れがない。

【0017】また、素子は、電界効果トランジスタであり、開口に対向する半導体基板の主表面に形成され、ソース・ドレイン領域と同一導電型の不純物を含む不純物領域を備え、電極は、ソース・ドレイン領域のいずれか一方に接続するキャパシタの下部電極であることを特徴とするものであり、開口に対向する半導体基板表面に形成された不純物層によって、半導体基板とソース・ドレイン領域との電界を緩和するとともに、溝と活性領域の境界部分の半導体基板表面上に絶縁膜が形成されており、層間絶縁膜に開口を形成する際に溝内に埋め込まれたシリコン酸化膜に落ち込みが生じないため、開口部に露出する表面形状に左右される不純物層の形状も落ち込むことがなく、リーク電流が流れる恐れがないため、キャパシタからのデータの揮発が抑えられる。

【0018】また、半導体基板の活性領域の主表面上を覆うマスクをかけて半導体基板主表面をエッチングし、活性領域を取り囲む溝を形成する工程と、CVD法によって、全面に第1のシリコン酸化膜を形成する工程と、マスク表面上の第1のシリコン酸化膜を除去する工程と、マスクを除去した後、絶縁膜を形成する工程と、絶縁膜をエッチングして、活性領域端部の表面上に絶縁層を形成する工程と、半導体基板の活性領域の主表面に素子を形成する工程と、素子を覆う層間絶縁膜を形成する工程と、絶縁膜に対して選択比の高いエッチングを行って、層間絶縁膜に素子に到達する開口を形成する工程と、開口を通過して素子に接続する電極を形成する工程とを備えたものであり、層間絶縁膜に開口を形成する際のマスクが下層に対してずれたときでもシリコン酸化膜端部がエッチングされにくいいため、溝の縁に沿った部分でシリコン酸化膜の落ち込みを防ぐことができる。

【0019】また、溝を形成する工程の後、第1のシリコン酸化膜を形成する工程の前に、熱酸化によって、全面に第2のシリコン酸化膜を形成する工程を備えたことを特徴とするものであり、素子形成前に活性領域表面

(5)

8

の欠陥回復のために行われるシリコン酸化膜の除去の際に溝内部に埋め込まれたシリコン酸化膜端部で起こる落ち込みも抑制することができるため、それによってリーク電流が抑制されるだけでなく、半導体基板の活性領域端部での電界集中が抑制される。

【0020】さらに、絶縁膜がシリコン窒化膜またはシリコン窒化酸化膜であることを特徴とするものであり、これらの膜はシリコン酸化膜のエッチャントに対して選択比が5対1以上であるため、溝内部のシリコン酸化膜端部での落ち込みをより一層防止することができる。

【0021】さらに、素子を形成する工程は、半導体基板の活性領域の主表面にゲート絶縁膜を形成する工程と、ゲート絶縁膜表面上にゲート電極を形成する工程と、半導体基板の主表面にソース・ドレイン領域を形成する工程と、ソース・ドレイン領域の表面上に金属シリサイド層を形成する工程とを備え、開口を形成する工程の後、開口を通過してソース・ドレイン領域のいずれか一方に接続する電極を形成する工程の前に、イオン注入によって開口に対向する半導体基板の活性領域の主表面中に不純物領域を形成する工程とを備えたことを特徴とするものであり、自己整合的に不純物層を形成することができて半導体基板とソース・ドレイン領域との電界が緩和されるとともに、層間絶縁膜にコンタクトホールを形成する際に溝内のシリコン酸化膜端部で落ち込みが生じないため、このコンタクトホール内に露出している形状に左右される不純物層が落ち込むこともなく、リーク電流が抑制された半導体装置を得ることができる。

【0022】また、素子を形成する工程は、半導体基板の活性領域の主表面にゲート絶縁膜を形成する工程と、ゲート絶縁膜表面上にゲート電極を形成する工程と、半導体基板の主表面にソース・ドレイン領域を形成する工程とを備え、開口を形成する工程の後、開口を通過してソース・ドレイン領域のいずれか一方に接続する電極を形成する工程の前に、イオン注入によって開口に対向する半導体基板の活性領域の主表面中に不純物領域を形成する工程と、電極表面上を覆うキャパシタ絶縁膜を形成する工程と、キャパシタ絶縁膜表面上に上部電極を形成する工程とを備えたことを特徴とするものであり、コンタクトホールを介して自己整合的に不純物層を形成しているため、簡略な工程で開口部下の半導体基板表面に不純物層を形成することができて半導体基板とソース・ドレイン領域との電界が緩和されるとともに、層間絶縁膜にコンタクトホールを形成する際に溝内のシリコン酸化膜端部で落ち込みが生じないため、このコンタクトホール内に露出している形状に左右される不純物層が落ち込むこともなく、リーク電流によるキャパシタからのデータの揮発が抑えられたDRAMのメモリセル構造を得ることができる。

【0023】

【発明の実施の形態】実施の形態1. 図1および図2は

(6)

9

この発明の実施の形態1を示す半導体装置の断面図である。図1において、1は半導体基板、2は溝、3および4はシリコン酸化膜、5はゲート絶縁膜、6はポリシリコン層、7は金属シリサイド層、8はサイドウォール、10はシリコン窒化酸化膜、11および12はソース・ドレイン領域、13はゲート電極、14は層間絶縁膜、16はコンタクトホール、15は不純物領域、17は配線である。ゲート電極13は、ポリシリコン層6とタンダステンシリサイドなどの金属シリサイド層7からなっており、溝2、シリコン酸化膜3、シリコン酸化膜4およびシリコン窒化酸化膜6からトレンチ分離が形成されている。また、不純物領域15はソース・ドレイン領域11および12と同一導電型の不純物によって形成されている。層間絶縁膜14にはコンタクトホール16が形成されており、このコンタクトホール16を介して、ソース・ドレイン領域11に配線17が接続されている。また、これ以外にもソース・ドレイン領域12およびゲート電極13にそれぞれ接続する配線17が、コンタクトホール16を介して形成されている（図示せず）。

【0024】図1を参照して、例えばゲート長 $L=400\text{ nm}$ 程度の時、溝2の幅は $200\text{ nm}\sim 500\text{ nm}$ 程度であり、溝2の深さは $150\sim 500\text{ nm}$ 程度である。ただし、溝2の幅は場所によって異なり、 $500\text{ nm}$ 程度になることもあるが、その場合は素子を形成しない部分も半導体基板1を残す（ダミーパターン）などで、溝2の幅を調節し、埋め込み後のシリコン酸化膜4の表面の凹凸が少なくなるようにする。そして、 $5\sim 30\text{ nm}$ 程度のシリコン酸化膜3が溝2内部の半導体基板表面を覆って形成され、溝2の内部はシリコン酸化膜4によって埋め込まれている。シリコン酸化膜4は、溝2の上部に、半導体基板1表面よりも $30\text{ nm}$ 程度高い高さまで形成されている。シリコン窒化酸化膜10は、半導体基板1表面よりも上に形成されたシリコン酸化膜4に対してサイドウォール状に、溝2の縁に沿って全体に形成され、その平面方向の幅は $30\text{ nm}$ 程度である。図2において9はシーム、30はシリコン窒化酸化膜であり、図2は図1に示したA-A断面における断面図である。図2に示したように溝2の幅が狭く、その中央部にシーム9が形成されている場合は、シリコン窒化酸化膜30によってその内部が埋め込まれている。この実施の形態1ではシリコン窒化酸化膜10を用いているが、シリコン窒化膜のように酸化膜エッチャントに対して選択比の高い物質からなる膜で代用することができ、その選択比は3対1以上であればよいが、5対1以上であることが望ましい。

【0025】図1を参照して、活性領域の半導体基板1表面には $3\sim 15\text{ nm}$ 程度の膜厚のゲート絶縁膜5が形成され、その上に $50\sim 150\text{ nm}$ 程度のポリシリコン層6と、 $50\sim 150\text{ nm}$ 程度の膜厚の金属シリサイド層7からなるゲート電極13が形成されている。半導体

10

基板1に溝2を形成する工程などによって、半導体基板1に形成される欠陥が素子特性に及ぼす影響が十分に小さい場合には、シリコン酸化膜3はなくてもかまわない。

【0026】ポリシリコン層6は $1\times 10^{21}/\text{cm}^3$ 程度のリンやヒ素（nMOS）、またはボロンやフッ化ボロン（pMOS）などの不純物を含む。また、ソース・ドレイン領域は、リンやヒ素、またはボロンやフッ化ボロンなどの不純物を $1\times 10^{18}/\text{cm}^3$ 程度含み、さらに必要に応じて、ヒ素を $1\times 10^{20}/\text{cm}^3$ 程度含む領域を備えたLDD（Lightly Doped Drain）構造になっている（図示せず）。ゲート電極13、ソース・ドレイン領域11、12および半導体基板1（ウェル）に電圧をかけることによって、ゲート電極13下の半導体基板1表面にチャネルが形成され、ソース・ドレイン領域11、12の一方がソース、他方がドレインとなり、電流が流れる。印加する電圧は、例えばnMOSトランジスタの場合、 $V_G=2.5\text{ V}$ 、 $V_D=2.5\text{ V}$ 、 $V_S=0\text{ V}$ 、 $V_B=-1\text{ V}$ 程度である。また、この実施の形態においては、一つの活性領域に二つのトランジスタが形成された半導体装置を用いて説明を行っているが、特にこれに限られるものではない。

【0027】この半導体装置によれば、溝2内のシリコン酸化膜4の中央部に形成されたシーム9の内部はシリコン酸化窒化膜またはシリコン窒化膜で埋め込まれているため、絶縁性の高い素子分離を得ることができるとともに、溝2の縁に沿ったシリコン酸化膜4の端部にもシリコン酸化窒化膜またはシリコン酸化膜からなるサイドウォールが形成されており、これらの膜はシリコン酸化膜エッチャントに対して選択比が高いため、半導体基板1の活性領域表面の欠陥を取り除くために、その表面に形成されたシリコン酸化膜31を除去してもエッチングされることなく活性領域のゲート電極13下で電界集中が抑制されるため、逆ナローチャネル効果を抑えてしきい値を安定させることができる。また、層間絶縁膜を通してコンタクトホール16を形成する際にもシリコン酸化膜4に対してサイドウォール状に形成されたシリコン窒化酸化膜またはシリコン窒化膜はエッチングされにくいため、溝2の縁に沿って起こるシリコン酸化膜4の落ち込みを抑制することができる。それによって、リーク電流を抑えて誤動作を防ぎ、信頼性の向上した半導体装置を得ることができる。

【0028】図3～図9は、この発明の実施の形態1を示す半導体装置の製造方法の一工程を示す断面図である。図3において、21はシリコン窒化膜、31はシリコン酸化膜である。まず、半導体基板1上に熱酸化によってシリコン酸化膜31を $5\sim 30\text{ nm}$ 程度形成した後、シリコン窒化膜21を $100\sim 300\text{ nm}$ 程度形成する。図3は、この工程が終わった段階での半導体装置の素子の断面図である。次に、溝2の形成領域を除く部



(7)

11

分に形成したフォトリジストなどの写真製版パターン(図示せず)をマスクとして異方性エッチングを行い、シリコン窒化膜21をパターンニングしてから写真製版パターンを除去する。図4は、この工程が終わった段階での半導体装置の素子の断面図である。そして、残ったシリコン窒化膜21をマスクにして、シリコン酸化膜31および半導体基板1を異方性エッチングし、半導体基板の表面に深さ100~500nm、幅100~500nm程度の溝2を形成する。ただし、シリコン窒化膜21をCMPのストッパーとして使うためには、この段階で100nm以上の膜厚が残っている必要がある。図5はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0029】次に減圧CVD法により全面にシリコン酸化膜4を300nm~1000nm程度の膜厚で形成する。図6はこの工程が終わった段階での素子の断面図である。シーム9は形成されない場合もあるが、その場合も溝2内に埋め込まれたシリコン酸化膜4の中央部の膜質は悪い状態になっている。次にシリコン窒化膜21をストッパーとしたCMP法によって、シリコン窒化膜21表面上のシリコン酸化膜4を除去し、溝2とシリコン窒化膜21からなる開口の内部のみにシリコン酸化膜4を残す。この時シーム9が表面に露出する。ここでCMP法を用いると、溝2の幅が異なる部分でも同じように平坦にシリコン酸化膜4を残すことができ、シーム9も同じように露出させることができる。そして、弗化水素酸でウェットエッチングを行い、シーム9の開口幅を広げ、その後、熱リン酸によるウェットエッチングでシリコン窒化膜21を除去する。この時溝2内に埋め込まれたシリコン酸化膜4の表面は半導体基板1表面よりも30nm程度高くなっている。図7はこの工程が終わった段階での素子の断面図である。

【0030】その後、減圧CVD法によりシリコン窒化酸化膜を100nm~300nm程度全面に形成してシーム9を埋め込んでから、シリコン酸化膜に対して選択比のあるドライエッチングによりシリコン酸化膜31をエッチングストッパーとしてシリコン窒化酸化膜を除去する。この時、シーム9に埋め込まれたシリコン窒化酸化膜30は残り、半導体基板1表面よりも上に形成されたシリコン酸化膜4の側面には、サイドウォール状にシリコン窒化酸化膜が平面方向に幅30nm程度残っている。そして、シリコン窒化酸化膜10をマスクとして、弗化水素酸によってシリコン酸化膜31の露出部分を除去してトレンチ分離が完成する。図8はこの工程が終わった段階での半導体装置の素子を示す断面図である。ここではシリコン窒化酸化膜10および30を用いているが、シリコン窒化膜のように酸化膜エッチャントに対して選択比の高い物質からなる膜で代用することができ、その比は3対1以上であればよいが、5対1以上であることが望ましい。

12

【0031】そして、熱酸化によって半導体基板1表面上に3~15nm程度のシリコン酸化膜を形成してから、nMOSの場合はボロンや弗化ボロン、pMOSの場合はリンやヒ素などの不純物をイオン注入することによって、チャネル注入層などを含むウェルを形成する

(図示せず)。その後、弗化水素酸によりシリコン酸化膜を除去し、再度熱酸化を行って3~15nm程度のゲート絶縁膜5を形成する。次に、nMOSの場合はリンやヒ素、pMOSの場合はボロンやフッ化ボロンなどの不純物を $1 \times 10^{21} / \text{cm}^3$ 程度含み、50~100nm程度の膜厚を有するポリシリコン層6をCVD法によって堆積し、タングステンシリサイドなどの金属シリサイド層7をCVD法またはスパッタ法によって形成した後、パターンニングすることによってゲート電極13を形成する。

【0032】そして、nMOSならばリンやヒ素、pMOSならばボロンやフッ化ボロンなどを $3 \times 10^{13} / \text{cm}^2$ 、20~40keV程度でイオン注入してソース・ドレイン領域11および12を形成し、減圧CVD法によって50~100nm程度シリコン酸化膜を堆積・エッチバックしてサイドウォール8を形成する。ソース・ドレイン領域11および12をLDD構造とする場合は、ここでさらにヒ素(nMOS)やボロンまたは弗化ボロン(pMOS)を $1 \sim 5 \times 10^{15} / \text{cm}^2$ 程度注入して形成される $1 \times 10^{20} / \text{cm}^3$ 程度の不純物濃度の不純物領域と合わせてソース・ドレイン領域とする(図示せず)。その後、CVD法によって200nm~600nm程度の層間絶縁膜14を堆積し、ソース・ドレイン領域11に到達するコンタクトホール16をトリフルオルメタン( $\text{CHF}_3$ )およびテトラフルオルメタン( $\text{CH}_4$ )によるドライエッチングで $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 径で開口する。

【0033】次にnMOSならばリン、pMOSならばボロンや弗化ボロンを20~50keV、 $5 \times 10^{13} \sim 30 \times 10^{13} / \text{cm}^2$ 程度でイオン注入し、 $5 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度を有する不純物領域15を形成する。図9はこの工程が終わった段階での半導体装置の素子を示す断面図である。そして、リンを $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 程度含む多結晶シリコンをCVD法で50~150nm程度堆積した後、タングステンシリサイド( $\text{WSi}$ )をCVD法で50~150nm堆積してから、パターンニングし、配線層17を形成することによって図1に示した半導体装置が形成される。さらに、同様に200~600nm程度の層間絶縁膜を形成し、ソース・ドレイン領域12に接続するコンタクトホール、不純物領域および配線層を形成する(図示せず)。ソース・ドレイン領域11および12に接続する配線層は、いずれを先に形成してもかまわない。

【0034】この半導体装置の製造方法によれば、溝2内のシリコン酸化膜4の中央部に形成されたシーム9の

(8)

13

内部を埋め込んで絶縁性の高い素子分離を形成するとともに、シリコン酸化膜4の端部にもシリコン窒化酸化膜10またはシリコン酸化膜などからなるサイドウォールが形成されており、これらの膜はシリコン酸化膜エッチャントに対して選択比が高いため、層間絶縁膜14にコンタクトホール16を形成する際のマスクがずれたときでもエッチングされにくく、溝の縁に沿った部分でシリコン酸化膜4の落ち込みを防ぐことができる。それによって、この部分の表面形状によって不純物分布が左右される不純物領域15の落ち込みも防止することができ、従来から用いられている減圧CVD装置を用いて、簡略な工程で、リーク電流が抑制されて信頼性の向上した半導体装置の製造方法を得ることができる。

【0035】また、溝2形成の際に生じる欠陥を回復するために、半導体基板の活性領域表面上のシリコン酸化膜31を一旦除去した場合でも溝2の縁に沿った部分でのシリコン酸化膜4の落ち込みが抑制されることによって、ゲート電極13下の活性領域端部での電界集中が抑制されて逆ナローチャネル効果が抑えられ、しきい値が安定するとともに、ゲート電極13形成の際の配線材料のエッチング残が発生しないため、ショート回避することができるという効果を奏する。さらにゲート電極13側面のサイドウォール8もシリコン窒化酸化膜またはシリコン窒化膜で形成されていれば、配線17とゲート電極13の絶縁性を高めることができ、半導体装置の信頼性が向上する。

【0036】実施の形態2。図10はこの発明の実施の形態2を示す半導体装置の断面図であり、図において、18はストレージノード、19はキャパシタ絶縁膜、20はセルプレート、22はキャパシタである。キャパシタ22はリンを $1 \sim 5 \times 10^{20} / \text{cm}^3$ 程度含む多結晶シリコンからなるストレージノード18、 $5 \sim 10 \text{ nm}$ 程度の膜厚を有し、シリコン窒化酸化膜からなるキャパシタ絶縁膜19および、リンを $1 \sim 5 \times 10^{20} / \text{cm}^3$ 程度含む多結晶シリコンからなるセルプレート20となり、ストレージノード18がコンタクトホール16を介してソース・ドレイン領域11に接続されたDRAM (Dynamic Random Access Memory) のメモリセルである。そして、例えばゲート長 $L = 200 \text{ nm}$ 程度の時、溝2の幅は場所によって異なり、最小分離幅は $100 \text{ nm} \sim 200 \text{ nm}$ 、それ以外の部分では $200 \text{ nm} \sim 400 \text{ nm}$ 程度であり、溝2の深さは $150 \sim 500 \text{ nm}$ 程度である。これ以外の部分については、実施の形態1に示した半導体装置と同様の構造を有する。

【0037】DRAMのメモリセルにおいては、キャパシタに蓄積された電荷によって情報を蓄積し、一定時間毎にリフレッシュ(読み出し/書き込み)を行っており、リーク電流が流れると、キャパシタに蓄積された情報が余分に失われ、リフレッシュ特性が劣化するため、他の部分のトランジスタに比べてリーク電流がより重要

14

になってくる。キャパシタ22にデータを書き込むときは、 $V_G = 2.0 \text{ V}$ 、 $V_B = -1.0 \text{ V}$ 、ソース・ドレイン領域12に接続するビットライン(図示せず)に $0 \text{ V}$ を印加し、データを消去するときは、 $V_G = 2.0 \text{ V}$ 、 $V_B = -1.0 \text{ V}$ 、ソース・ドレイン領域12に接続するビットライン(図示せず)に $2.0 \text{ V}$ 程度の電圧を印加する。また、データを読み出すときはビットラインに印加する電圧を $1.0 \text{ V}$ 程度とする。

【0038】この半導体装置によれば、溝2内のシリコン酸化膜4の中央部に形成されたシーム9の内部はシリコン酸化窒化膜またはシリコン窒化膜で埋め込まれているため、絶縁性の高い素子分離を得ることができるとともに、溝2の縁に沿ったシリコン酸化膜4の端部にもシリコン酸化窒化膜またはシリコン酸化膜からなるサイドウォールが形成されており、これらの膜はシリコン酸化膜エッチャントに対して選択比が高いため、半導体基板1の活性領域表面の欠陥を取り除くために、その表面に形成されたシリコン酸化膜31を除去してもエッチングされることなく活性領域のゲート電極13下で電界集中が抑制されるため、逆ナローチャネル効果を抑えてしきい値を安定させることができる。また、層間絶縁膜を通してコンタクトホール16を形成する際にもシリコン酸化膜4に対してサイドウォール状に形成されたシリコン窒化酸化膜またはシリコン窒化膜はエッチングされにくいため、溝2の縁に沿って起こるシリコン酸化膜4の落ち込みを抑制することができる。それによって、リーク電流を抑えることができるため、データの揮発が抑えられてリフレッシュ特性の向上したDRAMメモリセルを得ることができる。

【0039】図11は、この発明の実施の形態2を示す半導体装置の製造方法の一工程を示す断面図である。まず、実施の形態1と同様に、半導体基板の表面に溝2、シリコン酸化膜3、31および4、シリコン窒化酸化膜10および30からなるトレンチ分離を形成する。ただし、溝2は最小分離幅部分では $100 \text{ nm} \sim 200 \text{ nm}$ 程度、それ以外の部分は $200 \sim 400 \text{ nm}$ 程度とする。そして、実施の形態1と同様に、ゲート酸化膜5、ゲート電極13となるポリシリコン層6および金属シリサイド層7を形成する。この時、ゲート電極13の長さ $L = 0.2 \mu \text{ m}$ 程度とする。さらに、実施の形態1と同様に、ソース・ドレイン領域11および12、サイドウォール8、層間絶縁膜14を順次形成する。

【0040】図11において、141は層間絶縁膜である。層間絶縁膜14を減圧CVD法で形成した後、ソース・ドレイン領域12に到達するコンタクトホールを層間絶縁膜14に形成し、リンを $20 \sim 50 \text{ keV}$ 、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度で注入して $1 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度を有する不純物領域を形成する(図示せず)。この不純物領域は主としてコンタクト



(9)

15

抵抗を下げるためのものであり、形成されない場合もある。その後、コンタクトホールの中に実施の形態1と同様、リンを含んだポリシリコン層およびタングステンシリサイド層を埋め込んでパターンニングすることにより、ビットラインを形成する（図示せず）。そして、層間絶縁膜14と同様にして200～600nm程度の膜厚を有する層間絶縁膜141を形成し、ソース・ドレイン領域11に到達するコンタクトホール17を形成してから、全面にリンを50～150keV、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度で注入し、 $1 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度を有する不純物領域15を形成する。図11はこの工程が終わった段階の半導体装置の素子を示す断面図である。

【0041】この後、リンなどの不純物を $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 程度含有した多結晶シリコンを600～1000nm程度全面に堆積し、パターンニングにより所定の領域にのみ配置することでストレージノード18を形成する。そして、キャパシタ絶縁膜19となるシリコン窒化酸化膜をCVD法で5～10nm程度堆積し、さらにその上にセルプレート20となる、リンなどの不純物を $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 程度含有した多結晶シリコンを50～100nm程度堆積してパターンニングすることによってキャパシタ22を形成する。以上のような製造方法によって、図10に示した半導体装置が形成される。

【0042】この半導体装置の製造方法によれば、溝2内のシリコン酸化膜4の中央部に形成されたシーム9の内部を埋め込んで絶縁性の高い素子分離を形成するとともに、シリコン酸化膜4の端部にもシリコン窒化酸化膜10またはシリコン酸化膜などからなるサイドウォールが形成されており、これらの膜はシリコン酸化膜エッチャントに対して選択比が高いため、層間絶縁膜14および141にコンタクトホール16を形成する際のマスクがずれたときでもエッチングされにくく、溝の縁に沿った部分でシリコン酸化膜4の落ち込みを防ぐことができる。それによって、この部分の表面形状によって不純物分布が左右される不純物領域15の落ち込みも防止することができ、従来から用いられている減圧CVD装置を用いて、簡略な工程で、リーク電流が抑制されてリフレッシュ特性の向上したDRAMメモリの製造方法を得ることができる。

【0043】また、溝2形成の際に生じる欠陥を回復するために、半導体基板の活性領域表面上のシリコン酸化膜31を一旦除去した場合でも溝2の縁に沿ったシリコン酸化膜4の落ち込みが抑制されることによって、ゲート電極13下の活性領域端部での電界集中が抑制されて逆ナローチャネル効果が抑えられ、しきい値が安定するとともに、ゲート電極13形成の際の配線材料のエッチング残が発生しないため、ショートを回避することができるという効果を奏する。さらにゲート電極13側面の

16

サイドウォール8もシリコン窒化酸化膜またはシリコン窒化膜で形成されていれば、配線17とゲート電極13の絶縁性を高めることができる。

【0044】

【発明の効果】本発明は、以上説明したように構成されているので、以下のような効果を奏する。本発明は、溝内のシリコン酸化膜の中央部に形成されたシームの内部は絶縁膜で埋め込まれているため、絶縁性の高い素子分離を得ることができるとともに、溝の縁に沿った半導体基板の表面上にも絶縁膜からなるサイドウォールが形成されており、これらの膜は層間絶縁膜にコンタクトホールを形成する際にもエッチングされにくいため、溝の縁に沿って起こるシリコン酸化膜の落ち込みを抑制することができ、それによって、半導体基板と素子の間のリーク電流を抑えて誤動作を防ぎ、信頼性の向上した半導体装置を得ることができる。また、半導体基板表面の活性領域のゲート電極下で溝内のシリコン酸化膜が落ち込むことによって発生する電界集中が抑制されているため、逆ナローチャネル効果を抑えてしきい値を安定させることができる。

【0045】さらに、シリコン酸化膜中央部の凹部に第1の絶縁層を形成して絶縁性が高くなり、また絶縁膜がシリコン酸化膜のエッチャントに対して選択比が5対1以上であるシリコン窒化膜またはシリコン窒化酸化膜で形成されているため、溝の縁に沿って溝内に埋め込まれたシリコン酸化膜が落ち込むのをより一層抑制するため、リーク電流および逆ナローチャネル効果がより一層抑えられ、さらに信頼性を高めることができる。

【0046】また、コンタクトホールの下半導体基板表面に不純物層が形成されているため、半導体基板とソース・ドレイン領域との電界を緩和するとともに、溝と活性領域の境界部分の半導体基板表面上に絶縁膜が形成されており、層間絶縁膜にコンタクトホールを形成する際に溝内に埋め込まれたシリコン酸化膜に落ち込みが生じないため、コンタクトホールに露出する半導体基板の表面形状に左右される不純物層の形状も落ち込むことなく、トレンチ分離を介して隣接するトランジスタ間でリーク電流が流れる恐れがないため、誤動作を抑え信頼性が向上する。

【0047】また、コンタクトホールの下半導体基板表面に不純物層が形成されているため、半導体基板とソース・ドレイン領域との電界を緩和するとともに、溝と活性領域の境界部分の半導体基板表面上に絶縁膜が形成されており、層間絶縁膜にコンタクトホールを形成する際に溝内に埋め込まれたシリコン酸化膜に落ち込みが生じないため、コンタクトホールに露出する半導体基板の表面形状に左右される不純物層の形状も落ち込むことなく、リーク電流が流れる恐れがないため、キャパシタからのデータの揮発が抑えられて、リフレッシュ特性が向上するため、信頼性を向上させることができる。

(10)

17

【0048】また、溝内のシリコン酸化膜の中央部に形成されたシームの内部を埋め込むとともに、シリコン酸化膜の端部にも絶縁膜からなるサイドウォールが形成されており、この絶縁膜は層間絶縁膜にコンタクトホールを形成する際のマスクがずれたときでもエッチングされにくいいため、溝の縁に沿った部分でシリコン酸化膜の落ち込みを防ぐことができる。それによって、溝内に埋め込まれたシリコン酸化膜の形状をなめらかに保つことができ、従来から用いられている減圧CVD装置を用いて、簡略な工程で、リーク電流が抑制されて信頼性の向上した半導体装置の製造方法を得ることができる。

【0049】また、この絶縁膜は、溝形成の際に活性領域表面に形成される欠陥を回復するために行われるシリコン酸化膜の除去の際に溝内部に埋め込まれたシリコン酸化膜端部で起こる落ち込みも抑制することができるため、それによってリーク電流が抑制されるだけでなく、半導体基板の活性領域端部での電界集中が抑制されるため、逆ナローチャネル効果を抑え、しきい値が安定した半導体装置を得ることができる。

【0050】さらに、絶縁膜が、シリコン酸化膜エッチャントに対して選択比が5対1以上であるシリコン窒化膜またはシリコン窒化酸化膜で形成されているため、溝内部のシリコン酸化膜端部での落ち込みをより一層防止することができる。

【0051】また、コンタクトホールを介して自己整合的に不純物層を形成しているため、簡略な工程で開口部下の半導体基板表面に不純物層を形成することができて半導体基板とソース・ドレイン領域との電界が緩和され、リーク電流の抑制された半導体装置を得ることができるとともに、層間絶縁膜にコンタクトホールを形成する際に溝内のシリコン酸化膜端部で落ち込みが生じないため、このコンタクトホール内に露出している形状に左右される不純物層が落ち込むこともない。それによって、トレンチ分離を介して隣接するトランジスタ間でリーク電流が流れる恐れがなく、誤動作せず、信頼性の向上した半導体装置を得ることができる。

【0052】また、コンタクトホールを介して自己整合的に不純物層を形成しているため、簡略な工程で開口部下の半導体基板表面に不純物層を形成することができて半導体基板とソース・ドレイン領域との電界が緩和されるとともに、層間絶縁膜にコンタクトホールを形成する際に溝内のシリコン酸化膜端部で落ち込みが生じないため、このコンタクトホール内に露出している形状に左右される不純物層が落ち込むこともない。それによって、リーク電流が流れる恐れがなく、キャパシタからのデータの揮発が抑えられて、リフレッシュ特性が向上するため、信頼性が向上したDRAMのメモリセルを得ることができる。

18

# 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置を示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置を示す上面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】 本発明の実施の形態2に係る半導体装置を示す断面図である。

【図11】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図12】 従来の半導体装置を示す上面図である。

【図13】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図14】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図15】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図16】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図17】 従来の半導体装置を示す断面図である。

【図18】 従来の半導体装置の素子を示す断面図である。

【図19】 従来の半導体装置の不純物濃度分布を示すグラフである。

【図20】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図21】 従来の半導体装置の製造方法の一工程を示す断面図である。

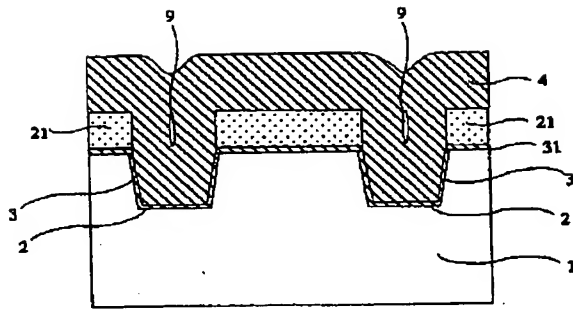
# 【符号の説明】

- 1 半導体基板、 2 溝、 3 シリコン酸化膜、  
4 シリコン酸化膜、 9 シーム、 10 シリコン窒化酸化膜、 14 層間絶縁膜、 15 不純物領域、  
16 コンタクトホール、 22 キャパシタ、 41 シリコン酸化膜

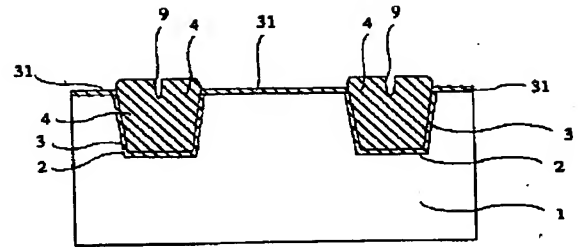


(12)

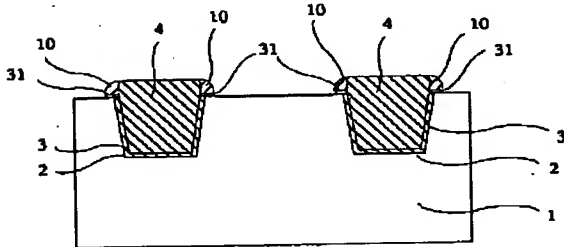
【図6】



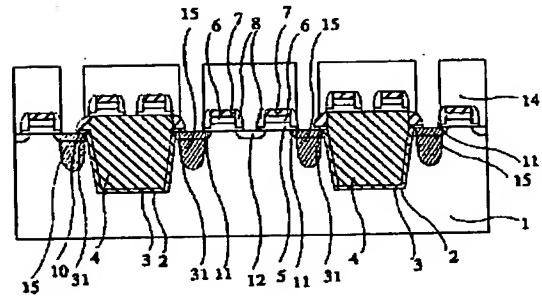
【図7】



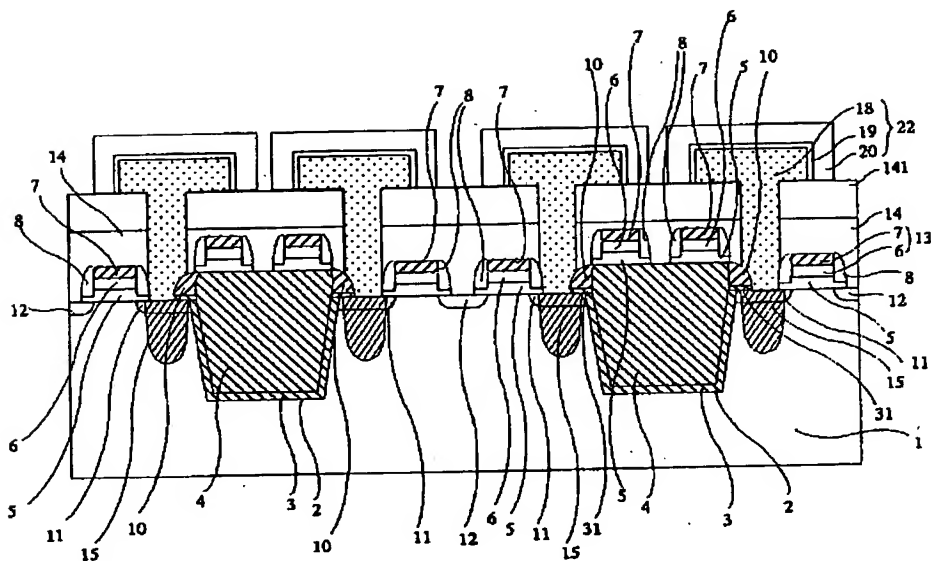
【図8】



【図9】

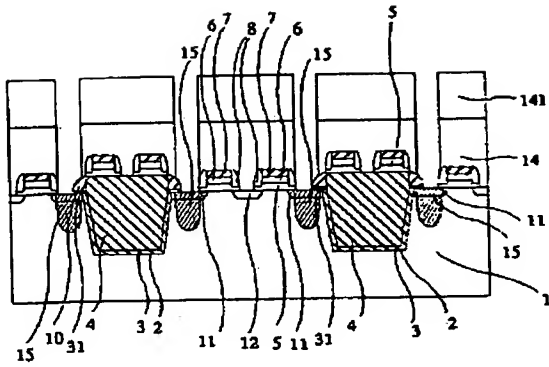


【図10】

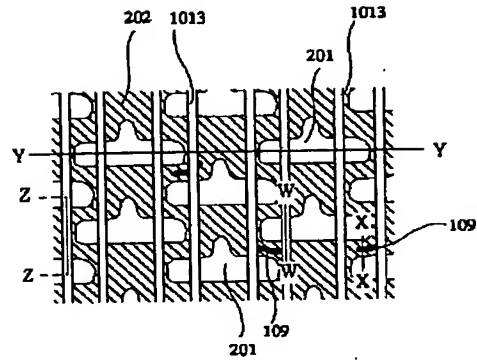


(13)

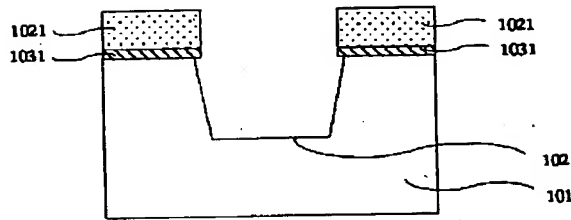
【図11】



【図12】

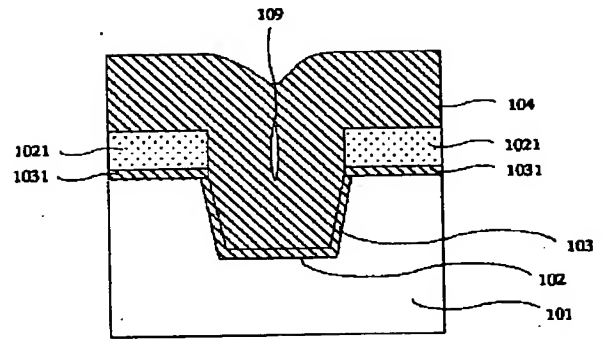


【図13】



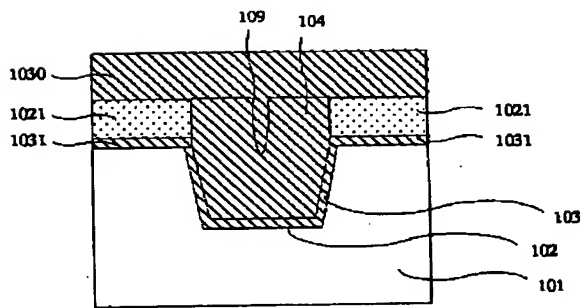
101: 半導体基板  
102: 溝

【図14】

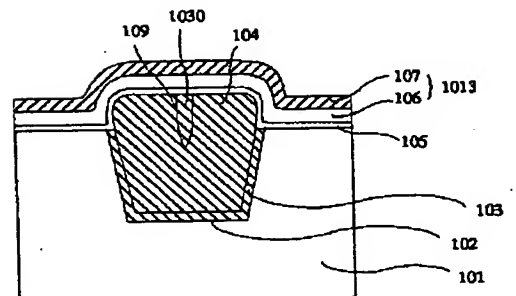


103: シリコン酸化膜  
104: シリコン酸化膜  
109: シーム

【図15】



【図16】





(15)

フロントページの続き

(72)発明者 西田 征男  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

F ターム(参考) 5F032 AA35 AA44 AA45 CA03 CA14  
CA17 DA02 DA03 DA24 DA25  
DA28 DA30 DA33 DA53  
5F040 DA00 DA06 DB01 DB09 EA08  
EC01 EC07 EC13 EF02 EH07  
EK05 EM01 FA03 FC21 FC22  
FC28  
5F048 AA04 AA07 AB01 AC01 BA01  
BB05 BB08 BC05 BC06 BF16  
BG14

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.